

ФІЗИЧНІ, ХІМІЧНІ ТА ІНШІ ЯВИЩА, НА ОСНОВІ ЯКИХ МОЖУТЬ БУТИ СТВОРЕНІ СЕНСОРИ

PHYSICAL, CHEMICAL AND OTHER PHENOMENA, AS THE BASES OF SENSORS

PACS numbers: 72.80.Ey, 85.30.-z, 85.30.De, 85.30.Tv, 85.40.-e
DOI <https://doi.org/10.18524/1815-7459.2019.3.179347>

ФІЗИКА НАНОТРАНЗИСТОРІВ: 2D ЕЛЕКТРОСТАТИКА MOS І МОДЕЛЬ ВІРТУАЛЬНОГО ВИТОКУ

*Ю. О. Кругляк, М. В. Стріха**

Одеський державний екологічний університет,
факультет комп'ютерних наук,
вул. Львівська, 15, Одеса, Україна
тел. (067) 725 2209, E-mail: kruglyak.yual@gmail.com
* Київський національний університет ім. Тараса Шевченка,
факультет радіофізики, електроніки і комп'ютерних систем,
пр. Глушкова, 4г, Київ, Україна, тел. (044) 526 0532;
Інститут фізики напівпровідників ім. В.Є.Лашкарьова НАН України,
пр. Науки, 41, Київ, Україна, тел. (044) 525 6033,
E-mail: maksym_strikha@hotmail.com

ФІЗИКА НАНОТРАНЗИСТОРІВ: 2D ЕЛЕКТРОСТАТИКА MOS І МОДЕЛЬ ВІРТУАЛЬНОГО ВИТОКУ

Ю. О. Кругляк, М. В. Стріха

Анотація. У четвертій із серії методично-оглядових статей, орієнтованих на дослідників, студентів, аспірантів та викладачів вищої школи, докладно розглянута 2D електростатика MOS. Показано, що вона погіршує характеристики транспорту електронів у польових транзисторах, збільшуючи підпороговий розкид і викликаючи ефект зниження бар'єру, зумовлений

стоком (DIBL), який у свою чергу збільшує вихідну провідність і зменшує граничну напругу в короткоканальних транзисторах. Такі ефекти називають ще ефектами короткого каналу. Мірою того, як транзистори робляться дедалі мініатюрнішими, основний виклик, який постає перед схемотехніками, полягає в контролі над короткоканальними ефектами. Зазвичай для цього потрібне чисельне моделювання.

Ключові слова: наноелектроніка, польовий транзистор, MOSFET, 2D електростатика, метрика транзисторів, керування транзисторами, віртуальний витік

PHYSICS OF NANOTRANSISTORS: 2D MOS ELECTROSTATICS AND VIRTUAL SOURCE MODEL

Yu. A. Kruglyak, M. V. Strikha

Abstract. In the fourth one from the line our new tutorial reviews, directed to serve students, university teachers and researchers, the 2D electrostatics of MOS is considered in detail. It is demonstrated, that 2D electrostatics degrades electron transport in field effect transistors by increasing the subthreshold swing and causing the DIBL effect, which in its turn increases the output conductivity and reduces the threshold voltage in short-channel transistors. Since these effects are more pronounced in short-channel transistors, they are also called short channel effects. As transistors get smaller and smaller, the main challenge with circuitry is to control the short-channel effects. As a rule, numerical modeling is required.

Keywords: nanoelectronics, field effect transistor, MOSFET, 2D electrostatics, transistor metrics, transistor control, virtual source

ФИЗИКА НАНОТРАНЗИСТОРОВ: 2D ЭЛЕКТРОСТАТИКА MOS И МОДЕЛЬ ВИРТУАЛЬНОГО ИСТОКА

Ю. А. Кругляк, М. В. Стриха

Аннотация. В четвертой из новой серии наших методических обзорных статей, ориентированных на студентов, аспирантов, преподавателей высшей школы и исследователей, подробно рассмотрена 2D электростатика MOS. Показано, что она ухудшает характеристики транспорта электронов в полевых транзисторах, увеличивая подпороговый разброс и вызывая эффект снижения барьера, обусловленный стоком (DIBL), который в свою очередь увеличивает выходную проводимость и уменьшает пороговое напряжение в короткоканальных транзисторах. Эти эффекты называют также эффектами короткого канала. По мере того, как транзисторы становятся все миниатюрнее, основной вызов, с которым встречаются схемотехники, сводится к контролю короткоканальных эффектов. Как правило, для этого требуется численное моделирование.

Ключевые слова: нанoeлектроника, полевой транзистор, MOSFET, 2D электростатика, метрика транзисторов, управление транзисторами, виртуальный исток

1. Вступ

Основним пристроєм сучасної електроніки залишається польовий транзистор метал-діелектрик-напівпровідник з ізольованим затвором MOSFET, а тому розуміння базових принципів його роботи належить до обов'язкових компетенцій кожного сучасного науковця, викладача чи інженера, причетного до цієї сфери. Теорію роботи MOSFET було побудовано ще в 60-ті роки минулого століття (див. напр. [1]). Відтоді вона зазнала суттєвого розвитку; проте в основному підхід до моделювання транзисторів залишився той самий, що й 50 років тому.

У першій з нової серії наших методичних оглядових статей [1] ми дали загальний опис транзистора MOSFET. Ми розглянули фізичну структуру MOSFET та його вольт-амперні характеристики (ВАХ) двох типів – вихідні й передавальні, описали 10 метричних показників MOSFET, достатніх для аналізу якості нанотранзисторів, обговорили принципи керування польовими транзисторами через прикладання напруги на затвор. Показано, що завжди існує бар'єр на межі поміж стоком і каналом провідності, який отримав назву віртуального стоку.

Нашу наступну статтю [2] було присвячено викладові класичної теорії MOSFET. Ми обговорили тільки найсуттєвіші ідеї звичного підходу, який також отримав назву «згори – вниз». Зокрема, ми обмежилися моделюванням лінійної області та області насичення ВАХ.

У продовження викладу фізичних принципів моделювання нанотранзисторів, розпочатого в [1, 2], у статті [3] розглянуто фізику процесів у напівпровідниковій підкладці MOSFET. Ця фізика визначається вигином зон, що залежить від поверхневого потенціалу ψ_s , який у свою чергу визначається напругою на затворі V_G . Ми одержали достатньо загальну формулу, що пов'язує V_G з ψ_s , також для цілком іншої структури MOS, структури з надтонкою кремнієвою підкладкою (Extremely Thin Silicon-On-Insulator/ETSOI),

що характерна для теперішньої тенденції мініятуризації транзисторів. Ми пересвідчилися, що основні особливості структури ETSOI подібні до властивостей масивної структури MOS.

На продовження огляду фізичних принципів моделювання нанотранзисторів [1–3] у цій оглядово-методичній статті ми розглянемо 2D електростатику MOS й зумовлені нею ефекти, а далі сформулюємо вже класичну модель віртуального витоку без явного врахування можливості балістичного транспорту.

Ми досі обговорювали, яким саме чином поверхневий потенціал напівпровідникової підкладки змінюється зі збільшенням напруги на затворі, застосовуючи виключно 1D електростатику. Однак у нанотранзисторах з короткими каналами провідності потенціали, прикладені до витоку і до стоку, створюють сильне електричне поле вздовж напрямку каналу. Цілком очевидно, що електростатичний потенціал у короткоканалному MOSFET буде сильно змінюватися і в напрямку x , і в напрямку y (рис. 1).

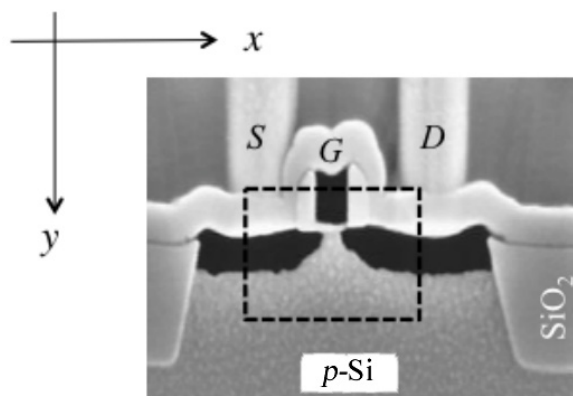


Рис. 1. Мікрограма перерізу MOSFET, отримана на скануючому електронному мікроскопі (Texas Instruments, 1997), на якій добре видно всі контакти й діелектричний прошарок, що ізолює затвор від каналу провідності.

Врахування 2D електростатики, особливо в нанотранзисторах, спричиняє важливі наслідки для режимів роботи MOSFET. Як зображено на рис. 2 ліворуч, прикладення великої напруги на стік зсуває характеристику $\log_{10} I_{DS} \propto V_{GS}$ ліворуч.

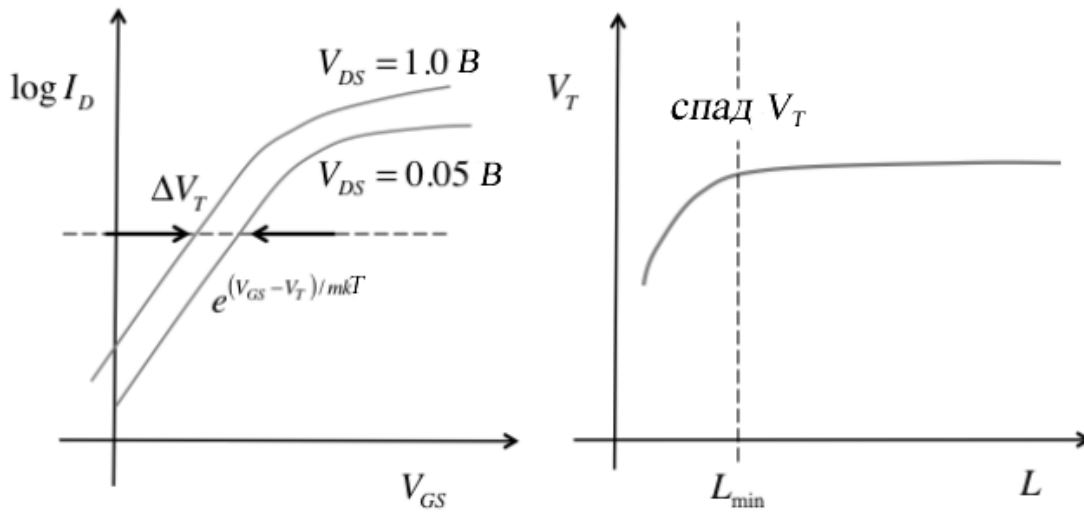


Рис. 2. Приклади того, як урахування 2D електростатики позначається на характеристиках короткоканальних транзисторів. Ліворуч: режим ефекту зниження бар'єру, індукованого стоком (DIBL), що зсуває передавальні характеристики $\log_{10} I_{DS} \propto V_{GS}$; така поведінка може бути також інтерпретована як зменшення порогової напруги V_T зі збільшенням напруги на стоку. Праворуч: спад V_T як результат зниження порогової напруги у нанотранзисторах.

Цей зсув на рис. 2 пов'язаний з ефектом зниження бар'єру, індукованого стоком $DIBL = -\Delta V_{GS} / \Delta V_{DS}$ (див. рис. 11 статті [1]), де ΔV_{GS} – така зміна напруги на затворі, яка необхідна для того, щоб підтримати струм стоку незмінним при зміні напруги на стоку на величину ΔV_{DS} . Якщо взяти невеликий струм, який відповідає транзистору в режимі «ON» (пунктирна лінія на рис. 2), то ми побачимо, що велика напруга на стоку зменшує величину порогової напруги на ΔV_T . Однак, одержаний раніше вираз для V_T (див. формулу (13) зі статті [3]) не містить залежності від напруги на стоку, й причина цього полягає в неврахуванні 2D електростатики. Іншим проявом 2D електростатики є залежність V_T від довжини каналу провідності (рис. 2, праворуч). Вихідний опір транзистора так само пов'язаний з 2D електростатикою. Ці та інші питання, пов'язані з 2D електростатикою, ми обговоримо далі.

2. 2D електростатика MOS

Врахувати 2D електростатику можна шляхом чисельного розв'язання двовимірного рівняння Пуассона, а коли йдеться про транзистор із дуже коротким каналом, то слід розв'язувати тривимірне рівняння Пуассона. Чисельне моделювання широко застосовується в проектуванні нанометрових транзисторів для промислового виробництва. Наше ж завдання полягає в тому, щоб побудувати якісно правильну фізичну картину процесів у MOSFET.

2D рівняння Пуассона

Закон Гаусса для електричного зміщення записується як

$$\vec{\nabla} \cdot \vec{D}(x, y) = \rho(x, y), \quad (1)$$

де \vec{D} – вектор зміщення, ρ – густина заряду. Зв'язок зміщення з електричним полем визначається співвідношенням

$$\vec{D}(x, y) = \epsilon_s \vec{E}(x, y), \quad (2)$$

де ϵ_s – діелектрична проникність напівпровідника або оксидної плівки, які ми тут вважаємо просторово однорідними. Електроста-

тичний потенціал пов'язаний з електричним полем:

$$\vec{E}(x, y) = -\vec{\nabla} \psi(x, y), \quad (3)$$

тож рівняння Пуассона набуває вигляду

$$\frac{\partial^2 \psi}{\partial x^2} + \frac{\partial^2 \psi}{\partial y^2} = -\frac{\rho(x, y)}{\epsilon_s}. \quad (4)$$

Нас особливо цікавлять розв'язки рівняння Пуассона в підпороговій області та на самому початку режиму інверсії, коли врахування 2D електростатики дозволяє зрозуміти природу ефекту *DIBL* і спаду V_T . В підпороговому режимі

$$\rho(x, y) \approx q[N_D^+(x, y) - N_A^-(x, y)] \approx -qN_A, \quad (5)$$

де остання рівність впливає з припущення бар'єру Шоттки (вільні носії в каналі провідності – дірки - створені тільки акцепторами з концентрацією N_A , які повністю іонізовані й однорідно розподілені).

Шар діелектрика та електрод затвору є частинами каналу провідності й повинні бути включені в розгляд при знаходженні $\psi(x, y)$. Електронним (чи дірковим) зарядом у шарі діелектрика зазвичай нехтують, тож рівняння Лапласа для цього шару запишеться як

$$\frac{\partial^2 \psi}{\partial x^2} + \frac{\partial^2 \psi}{\partial y^2} = 0. \quad (6)$$

В загальному випадку для знаходження електростатичного потенціалу слід чисельно розв'язати систему рівнянь (4) та (6). Ми ж надалі обговоримо якісні підходи до розуміння розв'язків цих рівнянь.

Особливу увагу приділимо короткоканальним транзисторам, ефекти 2D електростатики в яких особливо істотні. У випадку достатньо довгого каналу провідності потенціал змінюється вздовж напрямку каналу повільно, тож

$$\frac{\partial^2 \psi}{\partial x^2} \ll \frac{\partial^2 \psi}{\partial y^2} \quad (7)$$

і рівняння (4) зводиться до одновимірного рівняння Пуассона (див. вираз (57) статті [2]).

Значна й суттєва частина сучасної традиційної моделі MOSFET побудована в припущенні (7). Цей підхід називають наближенням плавного каналу (*gradual channel approximation*). Стандартний підхід до моделювання короткоканальних MOSFET зводиться до розробки моделі для достатньо довгого каналу провідності з подальшим урахуванням ефектів, спричинених 2D електростатикою [4–7].

Спад порогової напруги та DIBL

Перепишемо рівняння (4) з урахування (5) для режиму виснаження в вигляді

$$\frac{\partial^2 \psi}{\partial y^2} = \frac{qN_A}{\epsilon_s} - \frac{\partial^2 \psi}{\partial x^2}. \quad (8)$$

Для *n*-MOSFET електростатичний потенціал зростає від витoku до стоку, тож $d\psi/dx > 0$. Електричне поле, $-d\psi/dx$, також збільшується від витoku до стоку, тому кривизна потенціалу $d^2\psi/dx^2$ додатна. Це так само впливає з результатів моделювання нанотранзисторів, зображених на рис.16 та 17 статті [1]: як при низькій, так і при високій напрузі на стоку залежність $E_C(x)$ має від'ємну кривизну, тож кривизна електростатичного потенціалу додатна.

Враховуючи додатну кривизну $\psi(x)$, перепишемо (8) в вигляді

$$\frac{\partial^2 \psi}{\partial y^2} = \frac{qN_A|_{eff}}{\epsilon_s}, \quad (9)$$

де

$$N_A|_{eff} = \frac{qN_A}{\epsilon_s} - \frac{\partial^2 \psi}{\partial x^2} < N_A. \quad (10)$$

Рівняння (9) – це одновимірне рівняння Пуассона для електростатичного потенціалу вглиб напівпровідникової підкладки з ефективною концентрацією акцепторів, меншою від їхньої фактичної концентрації. Згідно з виразом (13) роботи [3], порогова напруга пов'язана з концентрацією акцепторів як:

$$V_T = V_{FB} + \frac{\sqrt{2q \epsilon_s N_A (2\psi_B)}}{C_{ox}} + 2\psi_B \quad (11)$$

Оскільки врахування 2D електростатики ефективно зменшує N_A (10), можна очікувати зниження порогової напруги. При скороченні довжини каналу кривизна потенціалу $d^2\psi/dx^2$ збільшується, що зменшує ефективну концентрацію акцепторів і знижує порогову напругу. Саме це зумовлює зменшення V_T зі скороченням каналу провідності (спад V_T). Через аналогічні міркування можна зрозуміти явище *DIBL* і зменшення V_T зі збільшенням напруги на стоку при фіксованій довжині каналу: зі зростанням V_{DS} кривизна потенціалу $d^2\psi/dx^2$ збільшується, ефективна концентрація акцепторів $\frac{N_A}{|_{eff}}$ і порогова напруга V_T зменшуються.

Врахування 2D електростатики тягне ще один наслідок. Бар'єр між витокком і каналом критично важливий для функціонування транзистора. В ідеалі висота цього енергетичного бар'єру цілком контролюється напругою на затворі, а напруга на стоку ніяк на неї не впливає (див. рис. 3, згори).

У реальному транзисторі потенціал стоку досягає таки вершини бар'єру й дещо знижує її (рис. 3, знизу). Через нижчий бар'єр проходить більший струм при тій самій напрузі на затворі. Можна сказати й по-інакшому: потрібна менша напруга на затворі, щоб забезпечити потрібний струм, оскільки бар'єр було знижено через вплив обох потенціалів – і затвору і стоку. Цей ефект *DIBL* зсуває передавальну характеристику $\log_{10} I_{DS} \propto V_{GS}$ ліворуч (рис. 2).

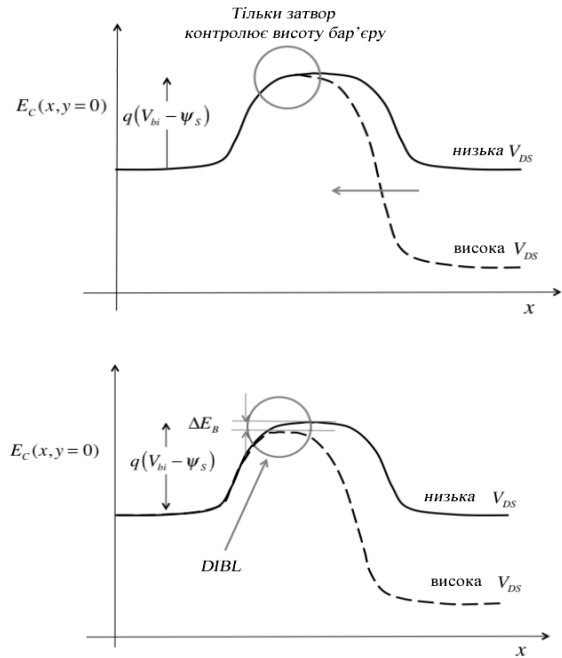


Рис. 3. Вплив напруги на стоку V_{DS} на висоту бар'єру. Згори: напруга V_{DS} не впливає на висоту бар'єру. Знизу: напруга V_{DS} дещо знижує висоту бар'єру (ефект *DIBL*).

Такий підхід зі зниженням бар'єру також дозволяє зрозуміти, чому врахування 2D електростатики знижує ефективну концентрацію акцепторів. Для сильно легованих підкладок зони складніше вигнути, а при врахуванні 2D електростатики стік допомагає затвору знизити бар'єр. Довжина області каналу провідності, що перебуває під впливом стоку, залежить від 2D геометрії транзистора, до обговорення якої ми переходимо.

Геометричне екранування

Екранування зарядів характерне для металів та напівпровідників. Якщо в певному середовищі утворився «ефективний заряд» (надлишок позитивного заряду над негативним, чи навпаки), рухливі носії струму розташовуються так, щоб нейтралізувати (екранувати) цей заряд. Характерну відстань, на якій заряд екранується, називають довжиною екранування, або ж довжиною Дебая L_D :

$$L_D = \sqrt{\frac{\epsilon_s kT}{q^2 n_0}}, \quad (12)$$

де n_0 – концентрація електронів.

У MOSFET реалізується інший варіант екранування електричного поля. Рис.4 ілюструє так зване «геометричне екранування».

Зображено три структури MOSFET. Для DG ETSOI силові лінії електричного поля стоку закорочуються на верхньому й нижньому електродах затворів, проникаючи в канал тільки на відстань порядку Λ . Якщо величина Λ менша від довжини каналу провідності L , $\Lambda < L$, електричне поле стоку не може «досягнути» початку каналу провідності й тому не може понизити бар'єру. В цьому випадку ефект *DIBL* практично відсутній. Точне значення довжини геометричного екранування визначається 2D геометрією транзистора, але інтуїтивно зрозуміло, що чим щільніше оточений канал затворами, тим ефективніше буде геометричне екранування. На рис. 4 найсильніше геометричне екранування реалізується в структурі DG ETSOI, й тому ETSOI з подвійним затвором менш за все підпадає під вплив ефектів, пов'язаних із 2D електростатикою.

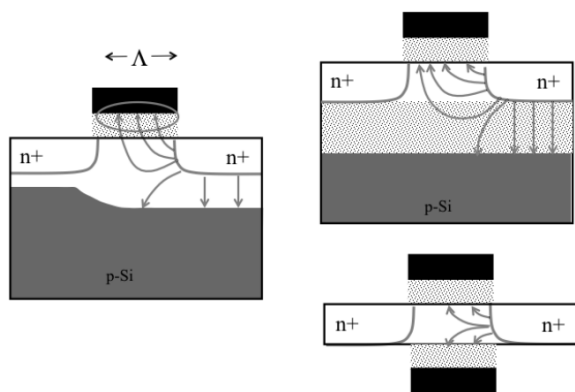


Рис. 4. Геометричне екранування в трьох типах MOSFET. Ліворуч: масивна структура MOSFET. Праворуч згори: однозатворний SG ETSOI. Праворуч знизу: двозатворний DG ETSOI. В ефективному MOSFET силові лінії електричного поля від стоку проникають у канал провідності лише на відстань $\approx \Lambda$, оскільки більша частина ліній закорочується на верхньому й нижньому затворах [8].

Хоч розрахунок величини Λ для довільної геометрії затворів транзистора може виявитися дуже складним [9, 10], евристичні міркування підказують, від чого може залежати величина Λ . Насамперед звернімося

до одновимірного рівняння Пуассона вглиб кремнієвої підкладки

$$\frac{d^2\psi}{dy^2} = \frac{qN_A}{\epsilon_s}. \quad (13)$$

Це рівняння можна наближено переписати як:

$$\frac{d^2\psi}{dy^2} \approx \frac{V_G - \psi_s}{\Lambda^2}, \quad (14)$$

беручи до уваги, що для $V_G > \psi_s$ (напруга на затворі вища від значення поверхневого потенціалу), значення $d^2\psi/dy^2$ буде додатним, а коефіцієнт пропорційності в (14) обрано з міркувань вимірності як обернений квадрат довжини. Прирівнюючи (13) і (14), одержуємо:

$$\frac{V_G - \psi_s}{\Lambda^2} = \frac{qN_A}{\epsilon_s}. \quad (15)$$

Використаємо відомий розв'язок у режимі виснаження [2, 3]

$$V_G = -\frac{Q(\psi_s)}{C_{ox}} + \psi_s = \frac{qN_A W_D}{C_{ox}} + \psi_s, \quad (16)$$

де W_D – товщина шару виснаження, C_{ox} – ємність оксидної плівки. З (15) та (16), використовуючи формулу (5) статті [3], одержуємо

$$\Lambda = \sqrt{\frac{\epsilon_s W_D t_{ox}}{\epsilon_{ox}}}. \quad (17)$$

де t_{ox} – товщина оксидної плівки.

З (8) та (4) одержуємо одновимірне рівняння Пуассона вздовж провідного каналу:

$$\frac{d^2\psi_s(x)}{dx^2} = \frac{\psi_s - V_G}{\Lambda^2} + \frac{qN_A}{\epsilon_s}, \quad (18)$$

в якому ми відразу визначилися, що шукаємо поверхневий потенціал уздовж провідного

каналу $\psi_s(x) = \psi_s(x)|_{y=0}$. Заміною змінних

$$\phi = \psi_s - V_G + \frac{qN_A}{\epsilon_s} \Lambda^2 \quad (19)$$

одержуємо просте диференціальне рівняння

$$\frac{d^2\phi}{dx^2} - \frac{\phi}{\Lambda^2} = 0, \quad (20)$$

у розв'язок якого $\phi = \exp(\pm x/\Lambda)$ входить величина Λ , визначена за (17).

Отже, ми одержуємо характеристичну довжину геометричного екранування Λ , на якій збурення, викликане потенціалом стоку, загасає. Якщо довжина каналу провідності $L > \Lambda$, то ефекти *DIBL* у короткоканальних транзисторах будуть незначні. Величини $L \approx (1.5 - 2)\Lambda$ прийнятні для сьогоденних короткоканальних MOSFET. Як впливає з (17), мають перевагу тонкі діелектричні прошарки та тонкі області виснаження. Як зображено на рис. 4, у таких випадках силові лінії електричного поля стоку скоріш за все закоротяться або на затворі, або на незарядженій області підкладки, замість того, щоб досягнути початку каналу провідності й знизити, нехай навіть не набагато, бар'єр.

Отже, вище запропонована евристична оцінка характеристичної довжини геометричного екранування Λ . Здійснено також акуратніші оцінки Λ для різних структур MOS [9–11]. В цілому, $\Lambda_{BULK} > \Lambda_{DG\ ET\ SOI}$. Транзистор тим кращий, чим менша довжина геометричного екранування. Загальна закономірність така, що чим щільніше канал провідності оточено провідними електродами, зокрема, затворними, тим менша довжина геометричного екранування.

2D електростатика: ємнісна модель

На рис. 5 зображено корисний метод врахування 2D електростатики. Кожний конденсатор на цьому рисунку моделює електростатичний зв'язок усіх чотирьох терміналів MOSFET з вершиною бар'єру, віртуальним витоком *VS*. Сама вершина бар'єру міститься поблизу середини каналу провідності за низьких значень V_{DS} і зсувається до витоку зі збільшенням напруги на стоку, тож параметри конденсаторів залежать від напруги на

стоку [12]. Потрібно розв'язати 2D рівняння Пуассона при заданій геометрії MOSFET для оцінки ємності кожного конденсатора, однак, ємнісний аналіз мережі конденсаторів може і в найзагальнішому випадку привести до корисних результатів. Рис. 5 відповідає масивній структурі MOS. Аналогічні мережі конденсаторів може бути побудовано для будь-яких інших структур MOS, таких як SG (виток – затвор) і DG (стік – затвор) SOI MOSFET [12].

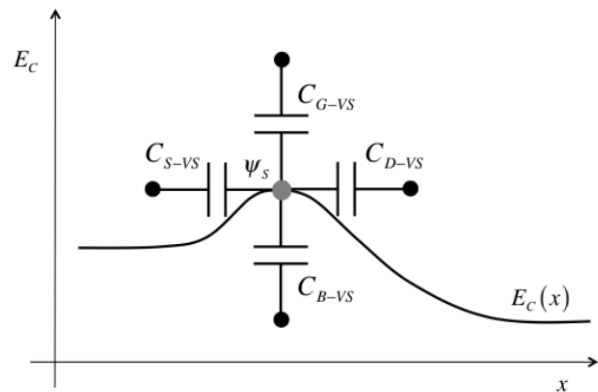


Рис. 5. Ємнісна 2D електростатична модель для масивної структури MOS. Кожний конденсатор моделює електростатичний зв'язок електродів витоку, стоку, затвору й підкладки з вершиною енергетичного бар'єру.

Для аналізу простої мережі конденсаторів на цьому рисунку використано принцип суперпозиції конденсаторів. Спочатку припустимо, що напруга на термінали не подається, але заряд на вершині бар'єру ненульовий ($Q_S \neq 0$). Еквівалентна електрична схема, що відповідає такій ситуації, зображена на рис. 6 ліворуч.

Сумарна ємність на *VS* записується як

$$C_{\Sigma} = C_{G-VS} + C_{S-VS} + C_{D-VS} + C_{B-VS}, \quad (21)$$

а відповідний потенціал у точці, що відповідає *VS*, дорівнює

$$\psi_S = \frac{Q_S}{C_{\Sigma}}. \quad (22)$$

Тепер припустимо, що напругу до затвору прикладено, але решту терміналів заземлено. Відповідна еквівалентна схема зображена на рис. 6, праворуч. Вклад у потенціал у точці *VS* від терміналу затвору тепер дорівнюватиме

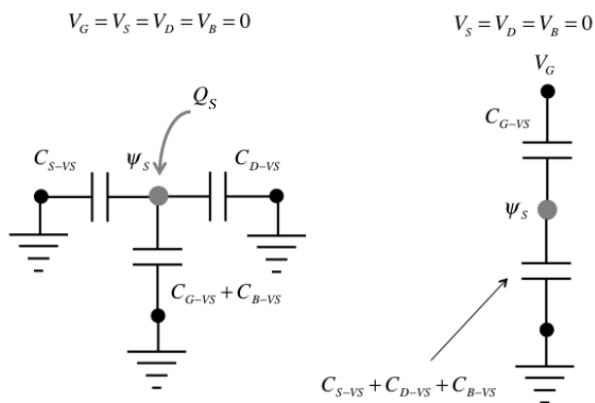


Рис. 6. Спрощені еквівалентні схеми конденсаторів без прикладення напруги. Ліворуч: із зарядом Q_S на віртуальному витoku (VS). Праворуч: з нульовим зарядом на VS і ненульовою напругою на затворі.

$$\psi_S = \left(\frac{C_{G-VS}}{C_\Sigma} \right) V_G; \quad (23)$$

аналогічні вклади одержимо і від усіх решти терміналів: для цього слід подати на потрібний термінал напругу, а решту терміналів заземлити. Після підсумовування всіх вкладів від чотирьох терміналів і потенціалу від ненульового заряду при нульових напругах на всіх терміналах одержуємо

$$\psi_S = \left(\frac{C_{G-VS}}{C_\Sigma} \right) V_G + \left(\frac{C_{S-VS}}{C_\Sigma} \right) V_S + \left(\frac{C_{D-VS}}{C_\Sigma} \right) V_D + \left(\frac{C_{B-VS}}{C_\Sigma} \right) V_B + \frac{Q_S}{C_\Sigma}. \quad (24)$$

Цей вираз порівняємо з аналогічним 1D результатом (формула (11) статті [3]), з якого випливає, що

$$\psi_S = V_G + \frac{Q_S}{C_{ox}}. \quad (25)$$

Можна показати, що 2D результат (24) зводиться до 1D (25) у тому випадку, якщо ємність оксидного шару затвору набагато більша від ємностей решти терміналів. У цьому випадку потенціал на вершині бар'єру цілком контролюється напругою на затворі, а решта терміналів на нього не впливають. Саме цього прагнуть усі розробники транзисторів. Тому вони або створюють якомога більшу ємність затвору, роблячи тоншим шар діелектрика або ж добираючи діелектрик з якомога вищою

діелектричною проникністю, або ж максимально, наскільки це можливо, зменшують ємність решти терміналів шляхом геометричного екранування з метою електростатично ізолювати решту терміналів від впливу на віртуальний виток у точці вершини бар'єру. При цьому, однак, збільшення ємності затвору може тягнути більше ємнісне навантаження на попередній вихідний каскад в інтегральній схемі, а звідси й збільшення тривалості фронтів імпульсів, затримок тощо.

Розглянемо випадок, коли напругу прикладено тільки до затвору та стоку, а решту терміналів заземлено. В підпороговому режимі, коли малим зарядом можна знехтувати, вираз (24) спрощується до

$$\psi_S = \left(\frac{C_{G-VS}}{C_\Sigma} \right) V_G + \left(\frac{C_{D-VS}}{C_\Sigma} \right) V_D. \quad (26)$$

Отже, тільки затвор та стік впливають на потенціал у точці віртуального стоку VS:

$$\frac{\partial \psi_S}{\partial V_G} = \frac{C_{G-VS}}{C_\Sigma}, \quad \frac{\partial \psi_S}{\partial V_D} = \frac{C_{D-VS}}{C_\Sigma}. \quad (27)$$

У транзисторі високої якості контроль з боку затвору має бути значно ефективнішим, аніж з боку стоку: $\partial \psi_S / \partial V_G \gg \partial \psi_S / \partial V_D$. Також прагнуть до того, щоб зміни потенціалу відповідали змінам напруги на затворі: $\partial \psi_S / \partial V_G \approx 1$. Таким чином, критерії ефективного транзистора з високими технологіями формування зводяться до виконання подальших умов:

$$\begin{aligned} C_{G-VS} &\gg C_{D-VS}, \\ C_{G-VS} &\approx C_\Sigma. \end{aligned} \quad (28)$$

Зменшення товщини діелектричного шару збільшує C_{G-VS} , а геометричне екранування зменшує C_{D-VS} .

Конденсатори в еквівалентній схемі можна безпосередньо пов'язати з передавальними характеристиками MOSFET. Струм стоку експоненційно залежить від висоти бар'єру між витком і провідним каналом (див. напр. вираз (7) статті [1]):

$$I_{DS} \propto e^{-E_{SB}/kT} = e^{q\psi_S/kT}. \quad (29)$$

Перепишемо вираз (26) інакше:

$$\psi_S = \frac{V_G}{m} + \frac{DIBL}{m} V_D, \quad (30)$$

$$m \equiv \frac{C_\Sigma}{C_{G-VS}}, \quad (31)$$

де

$$DIBL \equiv \frac{C_{D-VS}}{C_{G-VS}}.$$

Тепер струм стоку (29) можна з допомогою (30) переписати як:

$$I_{DS} \propto e^{q\psi_S/kT} = e^{q(V_G + DIBL \times V_D)/mkT}. \quad (32)$$

Підпороговий розкид при сталій напрузі на стоку, згідно з виразом (4) статті [1], визначається як

$$SS = \left[\frac{\partial(\log_{10} I_{DS})}{\partial V_{GS}} \right]^{-1} = 2.3 m kT \quad (33)$$

і дає таку зміну напруги на затворі, яка призводить до зміни струму в 10 разів. Підпороговий розкид контролюється величиною

$m \geq 1$, тож $SS \geq 60 \text{ мВ} / \text{декада}$. Поклавши $C_{G-VS} = C_{ox}$ і $C_{B-VS} = C_D$ (ємність напівпровідникової підкладки в режимі виснаження), з (31) одержимо

$$m = 1 + \frac{C_D}{C_{ox}} + \frac{C_{S-VS} + C_{D-VS}}{C_{ox}}. \quad (34)$$

Цей вираз порівнюємо з виразом (31) статті [3] для коефіцієнта ефекту підкладки в режимі виснаження, який було одержано для 1D електростатичної моделі. Перший доданок, одиниця, відповідає ідеальному підпороговому розкиду. Другий доданок відповідає за 1D ефект (див. вираз (31) статті [3]), зумовлений падінням напруги на затворі й підкладці в режимі виснаження. Такий доданок відсутній для структури ETSOI в режимі повного виснаження – на відміну від масивної структури MOSFET. Третій доданок зумовлений врахуванням 2D електростатики. Ми бачимо, що врахування 2D електростатики збільшує коефіцієнт ефекту підкладки й одночасно

збільшує підпороговий нахил. Цей ефект, зображений на рис. 7, небажаний, і його зазвичай намагаються зменшити.

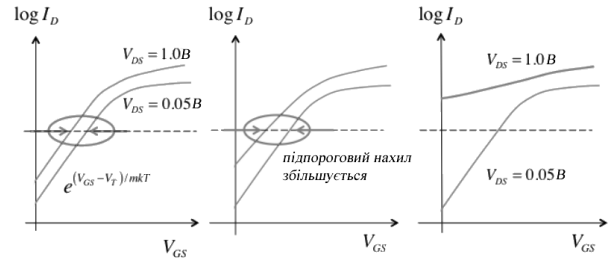


Рис. 7. Поява ефекту DIBL (ліворуч) і збільшення підпорогового нахилу (посередині). Праворуч зображено ефект пробію (punch through), який ми обговоримо нижче.

Слід окремо відзначити, що ємнісна модель 2D електростатики описує ефект DIBL.

Як видно з (32), якщо збільшити V_D на ΔV_D , то для підтримання струму стоку сталим необхідно зменшити V_G . Потрібне зменшення V_G становитиме

$$\Delta V_G = -DIBL \times \Delta V_D, \quad (35)$$

що фактично і є визначенням ефекту DIBL.

Отже, ємнісна модель дозволяє якісно зрозуміти ефекти, спричинені врахуванням 2D електростатики, для строгого опису яких потрібно чисельно розв'язувати рівняння Пуассона. В ефективних транзисторах вплив ємності затвору на віртуальний витік (точку вершини потенціального бар'єру для носіїв у каналі) повинен домінувати над впливом з боку інших терміналів, еквівалентні ємності яких збільшують підпороговий розкид і спричиняють ефект зниження бар'єру, індукованого стоком, DIBL.

3. Масштабування транзисторів

Останні понад 50 років позначені стрімким поступом у сфері мініатюризації інтегральних схем, масштабування (або скейлінга – від англ. Scaling) транзисторів і самих електронних пристроїв. Якщо масштабування транзисторів виконане коректно, продуктивність інтегральних схем підвищується. Виконуючи

масштабування короткоканалних транзисторів, паралельно прагнуть позбутися від ефектів $2D$ електростатики.

Головна мета масштабування зображена на рис. 8: при зменшенні всіх лінійних розмірів транзистора у κ разів напруги й струми всіх його характеристик так само повинні зменшитися в κ разів.

стають непринятно великими й транзистор може бути пробито. Ефект пробиття транзистора ми обговоримо нижче. Завдання масштабування в κ разів вбачають так само в тому, щоб зменшити L_{min} у κ разів таким чином, щоб масштабований транзистор з довжиною

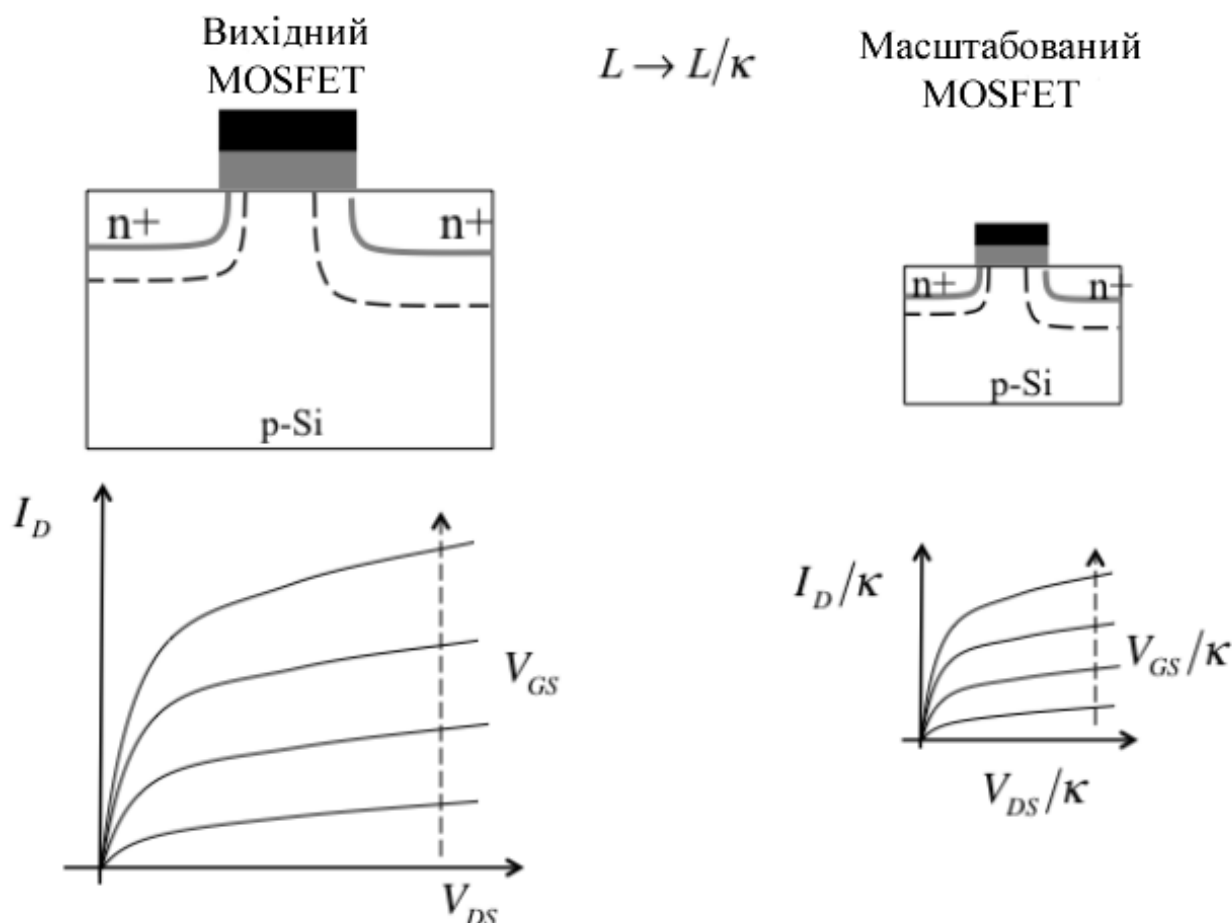


Рис. 8. Масштабування транзистора. Ліворуч зображено вихідний транзистор і набір його характеристик. Праворуч зображено масштабований транзистор із коефіцієнтом масштабування $\kappa > 1$.

Рис. 8 (праворуч) ілюструє очікувану зміну порогової напруги V_T зі зменшенням довжини каналу провідності MOSFET. Зменшення V_T у короткоканалних транзисторах викликане ефектами $2D$ електростатики. Нижче від деякої мінімальної довжини каналу L_{min} напруга V_T не тільки дуже мала, але й надто чутлива до довжини каналу L . Нижче від L_{min} підпороговий розкид SS та $DIBL$

$L = L_{min}/\kappa$ не підпадав дії короткоканалних $2D$ ефектів.

Описаний вище підхід до масштабування транзисторів був запропонований Робертом Деннардом понад 40 років тому [13], і досі служить дороговказом до масштабування не тільки транзисторів, але й інтегральних схем. Основна ідея масштабування за Деннардом полягає в тому, щоб усі розміри транзисторів зменшити в κ разів, збільшити концентрацію

легування в те ж число разів, і зменшити напругу живлення в κ разів. Така постановка задачі підтримує електричне поле в каналі в ході масштабування постійним. Масштабування за Деннардом включає:

1) Зменшення всіх розмірів:

$$\begin{aligned} L, W &\Rightarrow (L, W) / \kappa, \\ t_{ox} &\Rightarrow t_{ox} / \kappa, \\ W_D &\Rightarrow W_D / \kappa, \\ y_j &\Rightarrow y_j / \kappa; \end{aligned} \quad (36)$$

2) Збільшення легування каналу:

$$N_A \Rightarrow \kappa N_A; \quad (37)$$

3) Зменшення напруги джерела живлення:

$$V_{DD} \Rightarrow V_{DD} / \kappa. \quad (38)$$

Величина W_D – це ширина області виснаження, а y_j – це глибина p - n -переходу витоку/стоку.

Розглянемо процес масштабування, використовуючи найпростіші міркування й оцінки. Перш за все, електричне поле в каналі дорівнює $E \approx V_{DD}/L$ і тому і V_{DD} і L слід зменшити однаково для того, щоб електричне поле в вихідному й у масштабованому каналі залишалось постійним.

Низькопольова швидкість електронів – це рухливість, помножена на електричне поле. Припускаючи, що рухливість під час масштабування не змінюється, бачимо, що швидкість носіїв струму так само не зміниться. Деннард припустив, що високопольова швидкість дорівнює швидкості насичення v_{sat} , яка зазвичай є матеріальним параметром, що не змінюється при масштабуванні. Отже, швидкість носіїв при масштабуванні не змінюється в усьому діапазоні полів.

Важливо масштабувати товщину області виснаження

$$W_D = \sqrt{\frac{2\varepsilon_s}{qN_A}(V_{bi} + V_{DD})},$$

де V_{bi} – вбудований потенціал p - n -переходів. Якщо $V_{DD} \gg V_{bi}$, то збільшення легування в κ разів і зменшення V_{DD} в це ж число разів

приводить до зменшення ширини області виснаження в κ разів. Якщо t_{ox} і y_j масштабувати так само, то ефекти $2D$ електростатики в масштабованому транзисторі стануть виявлятися сильніше при довжині каналу провідності в κ разів коротшій, аніж у вихідному транзисторі. Як наслідок величина L_{min} зменшиться приблизно в κ разів.

Ємність дорівнює

$$C = \frac{\varepsilon A}{t}, \quad [\Phi]$$

де t – товщина оксидного шару або ж області виснаження. Оскільки всі товщини зменшуються в κ разів, а площа A – в κ^2 разів, то всі ємності зменшаться в κ разів, однак C_{ox} , як ємність оксидного шару на одиницю поверхні, збільшиться в κ разів.

Розглянемо вплив масштабування Деннарда на важливі характеристики транзистора. Заряд інверсійного шару дорівнює

$$Q = -C_{ox}(V_G - V_T).$$

Оскільки C_{ox} зростає в κ разів, а напруги зменшуються в таке ж число разів, то заряд інверсійного шару на одиницю поверхні при масштабуванні не змінюється.

Тепер розглянемо струм

$$I_{DS} = WQv.$$

Оскільки заряд і швидкість не змінюються при масштабуванні, а ширина зменшується в κ разів, то й струм зменшується в κ разів.

Тож наведемо загальні висновки для масштабування Деннарда при збереженні електричного поля сталим:

$$\begin{aligned} Q &\Rightarrow Q, \\ v &\Rightarrow v, \\ C &\Rightarrow C/\kappa, \\ C_{ox} &\Rightarrow \kappa C_{ox}, \\ I_{DS} &\Rightarrow I_{DS}/\kappa. \end{aligned} \quad (39)$$

Використовуючи масштабування Деннарда, перевіримо роботоспроможність масштабованих мереж. Затримка мережі – це час,

необхідний для видалення заряду $C \cdot V_{DD}$, накопиченого мережевими ємностями,

$$\tau = \frac{C \cdot V_{DD}}{I_{DS}}.$$

Як видно, затримка мережі τ зменшиться в κ разів. Потужність $P_D = V_{DD} I_{DS}$ зменшується в κ^2 разів. Густина потужності в одиницях Wm/m^2 при масштабуванні не змінюється. Оскільки розмір кожного транзистора зменшується в κ^2 разів, то щільність пакування транзисторів D збільшиться в κ^2 разів. Нарешті, така важлива метрика, як добуток потужності на затримку мережі $P_D \cdot \tau$ зменшується в κ^3 разів.

Отже, для масштабування за Деннардом при збереженні сталості електричного поля маємо:

$$\begin{aligned} \tau &= C \cdot V_{DD} / I_{DS} \Rightarrow \tau / \kappa, \\ P_D &= V_{DD} I_{DS} \Rightarrow P_D / \kappa^2, \\ P_D / A &\Rightarrow P_D / A, \\ D &= \frac{N_{FET}}{A} \Rightarrow D \times \kappa^2, \\ P_D \cdot \tau &= C \cdot V_{DD}^2 \Rightarrow P_D \cdot \tau / \kappa^3. \end{aligned} \quad (40)$$

Здійснити масштабування за Деннардом не так легко, як видається на перший погляд, оскільки деякі величини масштабуванню не підлягають. Згадаймо, наприклад, вираз для порогової напруги V_T (11). Напруга плоских зон V_{FB} не масштабується, а потенціал ψ_B відносно нечутливий до масштабування, тож у відповідності до сценарію Деннарда $V_T \Rightarrow V_T / \kappa$. Врахуємо, однак, що застосування нетрадиційних режимів легування [7] може позначитися на результатах масштабування.

Стокова область виснаження залежить від

$\sqrt{(V_{bi} + V_{DD}) / N_A}$. Оскільки вбудований потенціал V_{bi} не масштабується, то $W_D \Rightarrow W_D / \kappa$ (36). Підпороговий розкид нечутливий до масштабування. Всі ці чинники позитивні.

Разом із тим, розробники транзисторів та інтегральних схем постійно вдосконалюють масштабування, прагнучи запропонувати пристрої з ще більшим заощадженням потужності й меншою затримкою.

Однак сьогодні масштабування пристроїв наражається на серйозні виклики, і дехто навіть передрікає швидкий кінець ери масштабування. Одна з проблем пов'язана з оксидним шаром затвору, оскільки досягнуто межі у зменшенні товщини цього шару до величини порядку 1.5 нм, що відповідає декільком молекулам SiO_2 [14]; подальше зменшення товщини призведе до надмірного протікання струму. Ця обставина спонукає переходити від плоских MOSFET до FinFET [15], які забезпечують кращий електростатичний контроль за тією самою товщиною оксидної плівки [16]. Ще один виклик дальшому масштабуванню транзисторів пов'язаний із невдалими спробами масштабування підпорогового розкиду SS . Якщо задатися максимально дозволеним струмом у режимі «OFF», то величина SS повинна не набагато перевищувати 60 мВ/декада і струм повинен лінійно зростати вище від порогу, для чого потрібна $V_{DD} \approx 1V$, щоб досягнути потрібного значення струму I_{DS} в режимі «ON». Як наслідок, не вдається масштабувати напругу живлення. Вже запропоновано декілька нових архітектур транзисторів для розв'язання цієї та подібних проблем [17].

4. Пробіи транзисторів

Посилення 2D ефектів може призвести до електричного пробоя каналу, тобто до закорочування стоку на витік. У такій ситуації струм іде від стоку й до витоку за відсутності або за мінімального впливу напруги на затворі (рис. 9).

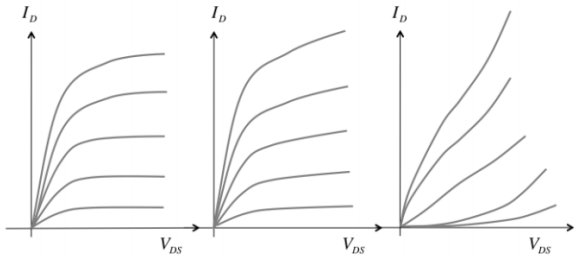


Рис. 9. Наслідки впливу 2D ефектів на вихідні характеристики MOSFET. Ліворуч: достатньо довгий канал провідності з дуже великим вихідним опором. Посередині: короткий канал з низьким опором. Праворуч: транзистор, пошкоджений пробоем.

На рис. 9 ліворуч вплив ефектів 2D електростатики незначний: підпороговий розкид лише трохи більший за 60 мВ/декада і ефект *DIBL* прийнятний. Коли 2D ефекти стають помітними (рис. 9 посередині), підпороговий розкид суттєво зростає, а ефект *DIBL* робиться дуже великим, 100 мВ/В і вище. За домінування 2D ефектів (рис. 9 праворуч) спостерігається різка деградація функціональності транзистора. Струм тільки слабо залежить від напруги на затворі, а *DIBL* взагалі не піддається визначенню, оскільки підпорогові вихідні характеристики при низьких та високих напругах на стоку навіть не паралельні до осі напруг.

Рис. 9 демонструє також те, як врахування 2D електростатики впливає на вихідні характеристики транзисторів. При достатньо довгому каналі провідності струм стоку в області насичення сталий і вихідна напруга прямує до нескінченності (див. рис. 7 зі статті [1]). Для MOSFET із коротким каналом вихідна напруга суттєво зменшується. Причину цього зрозуміти легко: струм пропорційний до $(V_{GS} - V_T)$, а V_T зменшується зі зростанням напруги на стоку через ефект *DIBL*. Не відразу очевидно, що роль 2D електростатики в підпороговій області, де формується й вимірюється *DIBL* і де заряд у каналі нехтовно малий, так само важлива, як і вище від порогу, де рухливий заряд у каналі великий. Показано, однак, що в ефективних транзисторах одні й ті ж ефекти *DIBL* 2D електростатики спостерігаються як нижче, так і вище від порогової напруги [11, 18]. Нарешті, праворуч на рис. 9 зображені вихідні харак-

теристики транзистора з пробоем: напруга на стоку дуже сильно впливає на струм навіть в області насичення.

Пробій відбувається тоді, коли електричне поле стоку покриває весь канал провідності аж до витoku: приблизно тоді, коли область виснаження стоку змикається з областю виснаження витoku (рис. 10, ліворуч).

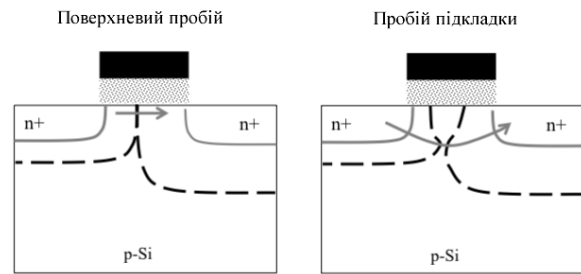


Рис. 10. Перерізи MOSFET, що демонструють межі виснаження при поверхневому пробіі (ліворуч) і при пробіі підкладки (праворуч).

Як зображено праворуч на рис. 10, межі областей виснаження можуть мати складні профілі, зумовлені як режимами 2D легування, так і ефектами 2D електростатики. Внаслідок цього змикання та перекриття областей виснаження може відбуватися як поблизу поверхні поділу Si/SiO₂, так і глибше в підкладці, і у відповідності до цього відбувається або поверхневий пробій, або пробій підкладки.

Критерій уникнення пробоею $L > W_S + W_D$ може прислужитися тільки для дуже грубої оцінки. Пояснення цього дає рис. 11.

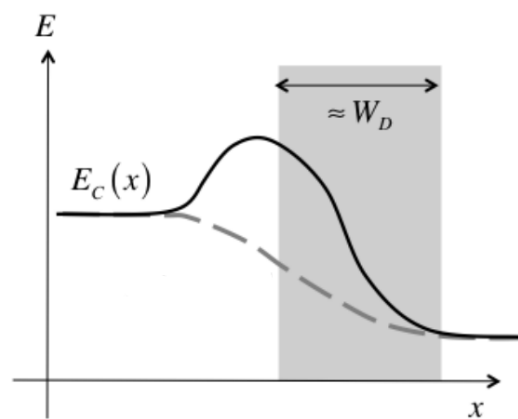


Рис. 11. Ілюстрація пробоею. Суцільна лінія відповідає нормальному стану транзистора, пунктирна – пробоею. Сіра зона зображає область виснаження стоку.

Абсолютний пробій відбувається тоді, коли потенціал стоку не просто покриває весь канал провідності й не просто знижує бар'єр, а ліквідує бар'єр цілковито. За такої ситуації електрони перетікають від витoku на стік, не потребуючи дії потенціалу затвору. Пробій можна визначити й інакше: як ситуацію, коли контроль над струмом з боку стоку такий самий ефективний, як і контроль з боку затвору. Згідно з ємнісною моделлю (27), пробій відбувається, коли $C_{G-V_S} = C_{D-V_S}$. Реальну напругу на стоку, що викликає пробій, можна оцінити чисельно, розв'язуючи 2D рівняння Пуассона для транзистора з конкретною структурою.

Отже, ми обговорили, як 2D електростатика порушує роботу короткоканалних транзисторів. Як же функціонує електростатично добре збалансований MOSFET (рис. 12)? У такому транзисторі є область поблизу початку каналу провідності, яка перебуває під сильним контролем з боку затвору. В цій області поле dE_c/dx мале і вона включає в себе вершину бар'єру, «екрановану» від впливу потенціалу стоку, що дозволяє утримувати ефект *DIBL* незначним.



Рис. 12. Зонна діаграма електростатично добре збалансованого MOSFET при великій напрузі і на стоку, і на затворі. Як показує пунктирна лінія, зростання напруги на стоку збільшує потенціал в області насичення, не зачіпаючи бар'єр на початку каналу, що перебуває під контролем затвору.

Потенціал поблизу вершини бар'єру контролює висоту бар'єру, а разом і струм стоку в транзисторі. В ідеалі цей потенціал пови-

нен визначатися тільки затвором, як у виразі (25). На практиці напруга на стоку завжди справляє деякий вплив на потенціал поблизу вершини бар'єру, як, наприклад, згідно з (26); особливо це стосується короткоканалних MOSFET. Глобальне завдання, що стоїть перед дизайнерами транзисторів, полягає в тому, щоб гарантувати, що заряд інверсійного шару на вершині бар'єру підлягає класичному 1D результату, а саме:

$$Q|_{x=0} = -C_G(V_{GS} - V_T), \quad (41)$$

де $x = 0$ відповідає вершині бар'єру. Можна припустити, що саме 1D електростатика MOS, у рамках якої одержано вираз (41), застосовна до вершини бар'єру, оскільки саме в цій точці $d^2\psi/dx^2 = 0$, і 2D рівняння Пуассона зводиться до 1D рівняння. Однак при врахуванні 2D електростатики порогова напруга виявляється залежною від напруги на стоку:

$$V_T = V_{T0} - \delta V_{DS}, \quad (42)$$

де параметр δ враховує *DIBL*.

Струм у MOSFET при високій напрузі на стоку створюють електрони, які долають бар'єр, дифундують крізь невелику область за вершиною бар'єру на початку каналу, що характеризується низьким полем, а потім входять в область з високим полем у стоковій частині каналу. «Вузкою горловиною», що обмежує струм стоку, є ця невелика область із низьким полем. Ця картина функціонування MOSFET подібна до картини роботи біполярного транзистора з двома *p-n*-переходами, де роль витoku відіграє емітер, низькопольова область на початку каналу відіграє роль бази, а високопольова область стоку – це аналог колектора. Аналогія між MOSFET і біполярним транзистором дуже тісна [19].

При низькій напрузі на стоку струм пропорційний до V_{DS} , однак, при високій стоковій напрузі струм у добре збалансованому MOSFET залежить від V_{DS} меншою мірою. В транзисторі з довгим каналом струм насичується. Це відбувається тому, що сильний

контроль затвору екранує потенціал в околі початку каналу від впливу потенціалу стоку. Збільшення V_{DS} за межі напруги насичення V_{DSAT} перш за все збільшує потенціал та електричне поле поблизу стокового кінця каналу провідності. В добре збалансованому MOSFET напруга стоку лише несуттєво впливає на потенціал на самому початку каналу, що в підсумку призводить до скінченної вихідної провідності транзистора. Хоча й немає причин вважати, що роль $2D$ електростатики нижче від порогу така ж, як і вище від порогу, однак, досвід застосування моделі віртуального витоку для добре збалансованих MOSFET свідчить, що це справді так [18], і чисельне моделювання підтверджує такий висновок [11].

Викладена картина впливу електростатики в ефективних транзисторах буде використана пізніше для глибшого розуміння фізики нанотранзисторів.

5. Модель віртуального витоку

Спрощену модель віртуального витоку, модель VS нульового рівня, було викладено в [2]. Цю модель побудовано з використанням простих традиційних міркувань, на відміну від сучасної моделі VS [18], яку було розроблено спеціально для фізики нанотранзисторів. Далі ми уточнимо модель нульового рівня й викладемо вихідну модель VS та фізичні принципи, що лежать в її основі.

Струм стоку MOSFET в загальному випадку записується як

$$I_{DS} = W \left| \underline{Q} \right|_{x=0} (V_{GS}, V_{DS}) \left\langle v_x(V_{GS}, V_{DS}) \right\rangle_{x=0}, \quad (43)$$

де $x = 0$ відповідає точці віртуального витоку VS на вершині бар'єру. Струм неперервний, тому ми можемо обчислювати його там, де нам зручніше. В ефективному MOSFET на вершині бар'єру, як впливає з аналізу $1D$ електростатики, $Q(V_{GS}, V_{DS}) \approx Q(V_{GS})$. Маємо зробити тільки невелику поправку на ефект $DIBL$. Далі ми уточнимо модель VS нульового рівня, взявши до уваги ефекти електростатики MOS. Що ж до швидкості електронів

$\left\langle v_x(V_{GS}, V_{DS}) \right\rangle_{x=0}$ у застосуванні до нанотранзисторів, то нам доведеться відмовитися від

концепції «згори – вниз», яку ми досі використовували в цій серії статей, присвячених фізиці нанотранзисторів, і скористатися узагальненою моделлю транспорту електронів Ландауера – Датта – Лундстрома (ЛДЛ) [20–25], яка єдина повноцінно описує класичний транспорт у нанoeлектроніці.

Модель VS нульового рівня базується на двох окремих виразах (28) статті [2] для струму стоку в лінійній області і в області насичення:

$$I_{DLIN} = \frac{W}{L} \mu |Q(V_{GS})| V_{DS}, \quad (44)$$

$$I_{DSAT} = W v_{sat} Q(V_{GS}),$$

які зображені пунктирними прямими на рис. 13. Реальна вихідна характеристика, зображена на цьому рисунку суцільною лінією, є наслідком плавного поєднання лінійної області та області насичення з допомогою виразу для середньої швидкості, що залежить від напруги на стоку, в вигляді

$$\begin{aligned} \langle v_x(V_{DS}) \rangle &= F_{SAT}(V_{DS}) v_{sat}, \\ F_{SAT}(V_{DS}) &= \frac{V_{DS}/V_{DSAT}}{\left[1 + (V_{DS}/V_{DSAT})^\beta \right]^{1/\beta}}, \end{aligned} \quad (45)$$

де F_{SAT} – функція насичення струму стоку, а напруга насичення на стоку

$$V_{DSAT} = \frac{v_{sat} L}{\mu}. \quad (46)$$

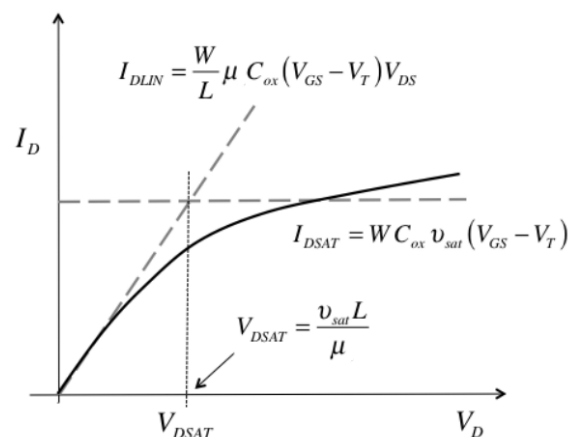


Рис. 13. Вихідна характеристика n-MOSFET, вміщеного за схемою зі спільним витоком, при деякому фіксованому значенні напруги на затворі (суцільна лінія). Пунктирні прямі відповідають струму в лінійній області та в області насичення згідно з виразом (44).

Раніше заряд на вершині бар'єру був описаний так:

$$\begin{aligned} Q(V_{GS}) &= 0, \quad V_{GS} \leq V_T, \\ Q(V_{GS}) &= -C_{ox}(V_{GS} - V_T), \quad V_{GS} > V_T, \quad (47) \\ V_T &= V_{T0} - \delta V_{DS}. \end{aligned}$$

Ми тепер розуміємо, що C_{ox} в (47) потрібно замінити на ємність C_G , описувану виразом (58) зі статті [3], як послідовна комбінація C_{ox} та ємності напівпровідника в режимі інверсії C_S^{inv} , тож $C_G < C_{ox}$. Ми також розуміємо тепер, як описати $Q(V_{GS}, V_{DS})$ нижче від порогу. Таким чином, ми можемо уточнити модель VS , включивши до неї як підпорогову провідність, так і надпорогову.

Підпорогова область

Коли напруга на затворі нижча від порогового значення, MOSFET перебуває в підпороговому режимі. Рис. 14 подає хід залежності $Q(V_{GS}) \propto V_{GS}$ в лінійному масштабі і в логарифмічному. Раніше ми показали (див. вираз (45) зі статті [3]), що поверхнева електронна концентрація в масивному MOSFET в підпороговому режимі описується виразом

$$Q(V_G) = -(m-1)C_{ox} \frac{kT}{q} e^{q(V_G - V_T)/mkT}. \quad (48)$$

Аналогічний результат (див. вираз (96) зі статті [3]) було одержано й для ETSOI, тільки з $m = 1$. Ключовою для обох випадків є експоненційна залежність $Q(V_G) \propto \exp[q(V_{GS} - V_T)/mkT]$ в підпороговому режимі.

З (43) та (48) одержуємо вираз для струму в масивному MOSFET в підпороговому режимі:

$$I_{DS} = W(m-1)C_{ox} \frac{kT}{q} e^{q(V_G - V_T)/mkT} \langle v_x \rangle \Big|_{x=0}. \quad (49)$$

Нагадаємо, що відповідно до ємнісної моделі (34),

$$m = 1 + \frac{C_\Sigma}{C_{ox}}, \quad (50)$$

де C_Σ - сумарна ємність, що впливає на віртуальний витік VS . У випадку масивного MOSFET це сума ємностей усіх чотирьох терміналів (21).

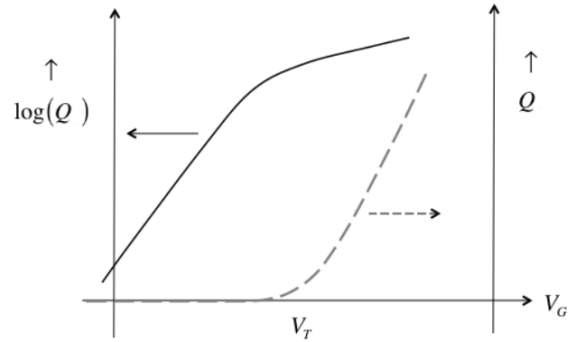


Рис. 14. Зарядова густина в інверсійному шарі в залежності від напруги на затворі (пунктирна крива), а також у логарифмічному масштабі (суцільна крива).

Для струму стоку в підпороговому режимі маємо також вираз для підпорогового розкиду (4) зі статті [1]:

$$SS = \left[\frac{\partial(\log_{10} I_{DS})}{\partial V_{GS}} \right]^{-1} = 2.3 m \frac{kT}{q}. \quad [B/декада] \quad (51)$$

Підпороговий розкид зазвичай наводять у мВ/декада; $SS < 100$ мВ/декада вважають прийнятним значенням.

Рис. 15 показує, чому підпороговий розкид є такою важливою метрикою транзисторів.

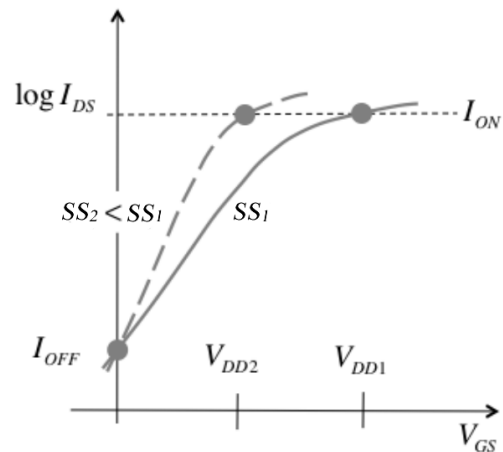


Рис. 15. Зв'язок підпорогового розкиду SS із напругою джерела живлення V_{DD} . Струм у режимі «ON» відповідає максимальній напрузі джерела живлення, прикладений до затвору.

Низькі значення I_{OFF} бажані для будь-яких пристроїв, оскільки тоді електронна схема пристрою не споживає надлишкової потужності в режимі очікування. Для заданого значення I_{OFF} метрика SS визначає ту напругу джерела живлення V_{DD} , яка забезпечить потрібний струм I_{ON} . Його високі значення сприятливіші для прискореного функціонування електронної схеми, оскільки всі ємності схеми можуть заряджатися й розряджатися швидше. У транзистора з меншим SS потрібне значення струму I_{ON} досягається при меншій напрузі джерела живлення V_{DD} . Електронна схема працюватиме з тією ж швидкістю, але оскільки потужність пропорційна до V_{DD}^2 , то схема буде розсіювати меншу потужність. Сьогодні, коли на одному кристалі інтегральної схеми розміщують мільярди транзисторів, розсіювана потужність набуває критичного значення – як активна потужність у робочому режимі, що пропорційна до V_{DD}^2 , так і потужність у режимі очікування, що визначається величиною I_{OFF} .

Згідно з (51), найменший підпороговий розкид SS при кімнатній температурі дорівнює 60 мВ/декада . Повністю виснажені транзистори, такі, як ETSOI MOSFET, характеризуються значенням $m = 1$ і найбільш придатні для досягнення найменших значень SS . Вище від порогу струм зростає приблизно лінійно зі збільшенням напруги на затворі, тож мінімальна межа для SS , що дорівнює 60 мВ/декада , визначає і нижню межу напруги джерела живлення V_{DD} . На практиці зараз ця нижня межа дорівнює 1 В . Нагадаємо, що масштабування транзисторів за Деннардом при збереженні електричного поля сталим потребує масштабування V_{DD} (38) з кожною новою технологічною генерацією. Оскільки в підпорогового розкиду SS є нижня межа (при кімнатній температурі!), то потужність джерела живлення масштабуванню вже не

підлягає. Ця обставина і є суттю критичної нині проблеми дисипації потужності інтегральних схем [26].

Отже, в підпорогового розкиду є нижня межа з урахуванням того, що $m \geq 1$. Рис. 16 пояснює природу такої межі.

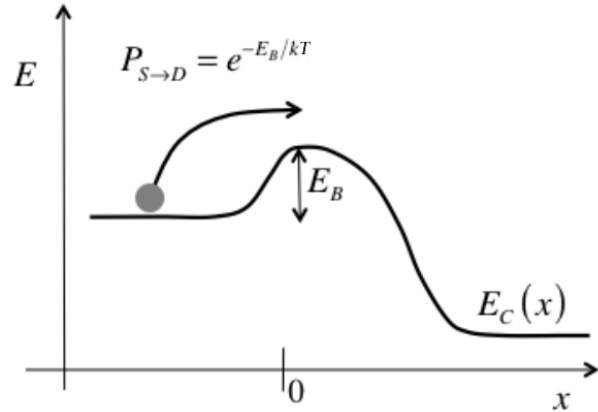


Рис. 16. Термоіонний струм у MOSFET.

Струм стоку формують електрони, які були емітовані витоком і, подолавши бар'єр, далі скочуються до стоку. Ймовірність такої термоіонної емісії експоненційно залежить від висоти бар'єру E_B :

$$P_{S \rightarrow D} = e^{-E_B/kT}. \quad (52)$$

Така експоненційна залежність тягне за собою експоненційну залежність $Q \propto V_{GS}$ і обмежує підпороговий розкид значенням $SS \geq 60 \text{ мВ/декада}$ при кімнатній температурі. Запропоновано фізичні підходи, що дозволяють подолати таке обмеження [27, 28].

Залишається обговорити середню швидкість електронів у каналі провідності $\langle v_x \rangle|_{x=0}$ в підпороговому режимі; адже наведений вище вираз (15) застосовний тільки вище від порогу. В підпороговому режимі середня швидкість у точці віртуального витоку (вершина бар'єру) визначається виразом

$$\langle v_x \rangle|_{x=0} = \frac{D}{L} \left(\frac{n_s(0) - n_s(L)}{n_s(0)} \right), \quad (53)$$

де D - коефіцієнт дифузії електронів. З простої моделі термоіонної емісії випливає, що

$$n_S(L) / n_S(0) = e^{-qV_{DS}/kT},$$

тож

$$\langle v_x \rangle \Big|_{x=0} = \frac{D}{L} (1 - e^{-qV_{DS}/kT}) = \frac{kT}{q} \frac{\mu}{L} (1 - e^{-qV_{DS}/kT}), \quad (54)$$

де було використано співвідношення Ейнштейна між коефіцієнтом дифузії електронів D і їх рухливостю μ . Підставляючи (54) до (49), одержуємо стандартний вираз для струму в підпороговому режимі [7]:

$$I_{DS} = \mu C_{ox} \frac{W}{L} (m-1) \left(\frac{kT}{q} \right)^2 e^{q(V_{GS}-V_T)/mkT} (1 - e^{-qV_{DS}/kT}). \quad (55)$$

Відзначмо ще один момент. З рис. 16 зовсім не очевидно, що електрони повинні дифундувати крізь весь канал провідності. Фізично більш коректним видається те, що електрони дифундують крізь низькопольову область каналу, а потім сильне електричне поле швидко проносить їх крізь решту довжини каналу. У відповідності до такої моделі довжину каналу провідності L слід було б замінити на певне менше значення довжини дифузійної області $l < L$. Через це на практиці складно визначити передекспоненційний фактор, однак вираз (55) забезпечує задовільний опис реальних транзисторів у цілому [7].

З-під порогу в область вище від порогу

Вираз (48) визначає залежність $Q(V_{GS})$ нижче від порогу, а в режимі сильної інверсії, згідно з формулою (58) статті [3], $Q(V_{GS}) = -C_G^{inv} (V_{GS} - V_T)$. Однак, перехід з підпорогового режиму в режим сильної інверсії є поступовим, і це потрібно враховувати. Це особливо важливо при моделюванні і при чисельному розв'язанні рівнянь Пуассона – Больцмана для $Q(\psi_S)$, що лежать в основі так званих моделей поверхневого потенціалу [29].

Поведінку $Q \propto V_{GS}$ можна описати емпірично. Один із запропонованих [30] виразів має вигляд:

$$Q(V_{GS}) = -m C_G^{inv} \left(\frac{kT}{q} \right) \ln \left(1 + e^{q(V_{GS}-V_T)/mkT} \right). \quad (56)$$

Для значень $V_{GS} \ll V_T$ можна використати розклад $\ln(x) \approx 1 + x$ і переписати (56) як

$$Q(V_{GS}) = -m C_G^{inv} \left(\frac{kT}{q} \right) e^{q(V_{GS}-V_T)/mkT}, \quad (57)$$

що близько до формули (48). В практичних розрахунках передекспоненційний множник не є істотним, тож емпіричний вираз (57) цілком прийнятний.

Для $V_{GS} \gg V_T$ вираз (56) дає вже відомий правильний результат:

$$Q(V_{GS}) = -C_G^{inv} (V_{GS} - V_T). \quad (58)$$

Таким чином емпіричний вираз (56) придатний для опису поведінки $Q \propto V_{GS}$ від підпорогової області до області з сильною інверсією. Модель віртуального витоку VS використовує дещо покращену версію виразу (46), забезпечуючи тим краще поєднання областей зі слабкою та сильною інверсією [18].

На завершення відзначмо тісний зв'язок між струмами I_{OFF} та I_{ON} . Ми бачили, що $I_{OFF} \propto \exp[(V_{GS} - V_T)/mkT]$, а струм $I_{ON} \propto V_{GS} - V_T$, тож у підсумку

$$\ln I_{OFF} \propto I_{ON}. \quad (59)$$

Системні дизайнери могли б зменшити порогову напругу V_T з тим, щоб збільшити I_{ON} , що збільшить швидкодію, однак, це тягне за собою експоненційне зростання I_{OFF} і як наслідок збільшення дисипації потужності в режимі очікування. Рис. 17 може правити за приклад такого компромісу застосовно до технології 65 нм NMOS. Цей фундаментальний компроміс є безпосереднім наслідком фізичних принципів функціонування MOSFET.

Вираз (46) дає значення напруги на стоку V_{DSAT} в режимі сильної інверсії. Модель віртуального витоку VS зводить V_{DSAT} у режимі сильної інверсії до kT/q в підпороговому режимі емпірично. Характерна похибка такої евристичної процедури менша за 10% [18].

Як демонструє рис. 7 зі статті [2], модель VS з високою точністю описує експериментальні дані для нанотранзисторів. Це викликає подив, бо такі параметри, як μ і v_{sat} , ма-

ють очевидний і ясний фізичний сенс у тому випадку, коли довжина каналу провідності в багато разів переважає середню довжину вільного пробігу, але це не та ситуація, яка має місце в нанотранзисторах. Тож лишається поки розглядати ці величини як емпіричні параметри. Далі буде розвинуто теорію транспорту електронів у нанотранзисторах, і ми побачимо, що ці параметри можуть набути ясного фізичного змісту.

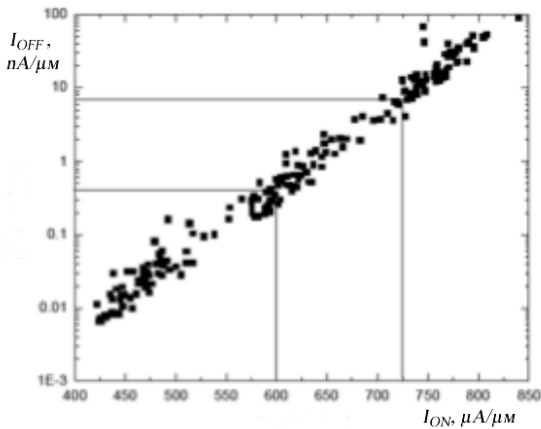


Рис. 17. Графік залежності $\log_{10} I_{OFF} \propto I_{ON}$ для технології 65 нм NMOS [31].

Підіб'ємо підсумки. В цій статті ми докладно розглянули електростатику MOS. У перших статтях нашої серії ми показали, що ID електростатика дозволяє зрозуміти, як відбувається вигин зон і зниження бар'єру, що дозволяє потокові електронів рухатися від витoku й до стоку. Врахування $2D$ електростатики призводить до деградації транспорту електронів у польових транзисторах, збільшуючи підпороговий розкид і спричиняючи ефект $DIBL$, який у свою чергу збільшує вихідну провідність і зменшує порогову напругу в короткоканальних транзисторах. Кількісне врахування $2D$ електростатики потребує чисельного підходу, але всі суттєві ефекти можна фізично зрозуміти й на якісному рівні.

Ефекти $2D$ електростатики погіршують функціонування транзисторів і призводять до 1) підпорогового розкиду, вищого за фундаментальну межу в 60 мВ/декада , 2) зсуву прохідних характеристик $\log_{10} I_{DS} \propto V_{GS}$ ліворуч при збільшенні напруги на стоку ($DIBL$),

3) виникнення залежності порогової напруги від параметрів затвору й напруги на стоку, 4) низького вихідного опору. Коли ефекти $2D$ електростатики сильні, затвор уже не контролює струму в колі «витік – стік» і транзистор зазнає пробою. Оскільки ці ефекти дужче виявляються в короткоканальних транзисторах, їх ще називають ефектами короткого каналу. Мірою того, як транзистори робляться дедалі мініатюрнішими, основний виклик, що постає перед схемотехніками, полягає в контролі короткоканальних ефектів. Зазвичай, для цього потрібне чисельне моделювання.

Повертаючись до виразу (43), бачимо, що залежність $Q|_{x=0}(V_{GS}, V_{DS})$ має цілком прийнятне фізичне пояснення. Щож до співмножника $\langle v_x(V_{GS}, V_{DS}) \rangle|_{x=0}$ з цього виразу, то в наших подальших статтях ми побудуємо адекватну фізичну картину транспортних явищ у нанотранзисторах, виходячи з узагальненої моделі транспорту електронів Ландауера-Датта-Лундстрома [24, 25], і встановимо її зв'язок з традиційним підходом «згори – вниз».

На завершення наголосімо: стаття є наслідком прослуховування одним з нас (ЮОК) курсу лекцій «Fundamentals of Nanotransistors» [25], прочитаних он-лайн в 2016 році проф. Марком Лундстромом (Mark Lundstrom), в рамках ініціативи Purdue University / nanoHUB-U [www.nanohub.org/u]. В ній також використано напрацювання авторського курсу «Фізика конденсованого середовища», який інший автор (МВС) упродовж останніх років читає для магістрів факультету радіофізики, електроніки і комп'ютерних систем Київського національного університету імені Тараса Шевченка.

Список використаної літератури

- [1]. Yu. A. Kruglyak, M. V. Strikha. Sensorna elektronika i mikrosystemni tekhnologii. **15**, No 4, 18 – 40 (2018).
- [2]. Yu. A. Kruglyak, M. V. Strikha. Sensorna elektronika i mikrosystemni tekhnologii. **16**, No 1, 24 – 49 (2019).
- [3]. Yu. A. Kruglyak, M. V. Strikha. Sensorna elektronika i mikrosystemni tekhnologii. **16**, No 2, 5 – 31 (2019).

- [4]. R. F. Pierret, *Semiconductor Device Fundamentals* (New York: Addison- Wesley: 1996).
- [5]. B. Streetman, S. Banerjee, *Solid State Electronic Devices* (New York: Prentice Hall: 2005).
- [6]. Y. Tzividis, C. McAndrew, *Operation and Modeling of the MOS Transistor* (New York: Oxford Univ. Press: 2011).
- [7]. Y. Taur, T. Ning, *Fundamentals of Modern VLSI Devices* (New York: Oxford Univ. Press: 2013).
- [8]. D. Frank, Yuan Taur, H.-S. Philip Wong, *IEEE Device Research Conf. Technical Digest*, 18 – 21 (1999).
- [9]. D. Frank, Yuan Taur, H.-S. Philip Wong, *IEEE Electron Device Lett.*, **19**, 385 – 387 (1998).
- [10]. Jing Wang, P. Solomon, M. Lundstrom, *IEEE Trans. Electron Dev.*, **51**: 1361 – 1365 (2004).
- [11]. Qian Xie, Jun Xu, Yuan Taur, *IEEE Trans. Electron Dev.*, **59**: 1569 – 1579 (2012).
- [12]. Risho Koh, Haruo Kato, H. Matsumoto, *Japanese J. Appl. Phys.*, **35**, 996 – 1000 (1996).
- [13]. R. H. Dennard, F. H. Gaensslen, H.-N. Yu, V. L. Ridout, E. Bassous, A. R. LeBlanc, *IEEE J. Solid-State Circuits*, **51**, 256 – 264 (1974).
- [14]. Chenming Hu, *Modern Semiconductor Devices for Integrated Circuits* (London, UK: Pearson India: 2009).
- [15]. Chenming Hu. *What Else Besides FinFET?*: www.synopsys.com/community/resources/events/keynote-finfet.html.
- [16]. X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, Chenming Hu, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 67 – 70 (1999).
- [17]. M. Jeong, B. Doris, J. Kedzierski, K. Rim, M. Yang, *Science*, **306**, 2057 – 2060 (2004).
- [18]. A. Khakifirooz, O. M. Nayfeh, D. A. Antoniadis, *IEEE Trans. Electron Dev.*, **56**: 1674 – 1680 (2009).
- [19]. E. O. Johnson, *RCA Review*, **34**: 80 – 94 (1973).
- [20]. S. Datta, *Lessons from Nanoelectronics: A New Perspective on Transport* (Singapore: World Scientific: 2012).
- [21]. M. Lundstrom, C. Jeong, *Near-equilibrium transport. Fundamentals and Applications* (Singapore: World Scientific: 2013).
- [22]. Yu. O. Kruglyak, M. V. Strikha. *Ukr. Fiz. Zhurn. Ohliady*, **10**, 3 – 32 (2015).
- [23]. Yu. A. Kruglyak, *Nanoehlektronika «snizu – vverh»* (Odessa: TES: 2015).
- [24]. S. Datta, *Lessons from Nanoelectronics. Part A: Basic Concepts* (Singapore: World Scientific: 2017).
- [25]. M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018); www.nanohub.org/courses/NT.
- [26]. D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Yuan Taur, H.-S. Philip Wong, *Proc. IEEE*, **89**, 259 – 288 (2001).
- [27]. J. Appenzeller, Y.-M. Lin, J. Knoch, Ph. Avouris, *Phys. Rev. Lett.*, **93**, 196805-1-4 (2004).
- [28]. S. Salahuddin, S. Datta, *Nano Lett.*, **8**, 405 – 410 (2008).
- [29]. G. Gildenblat, X. Li, W. Wu, H. Wang, A. Jha, R. van Langevelde, G. D. J. Smit, A. J. Scholten, D. B. M. Klassen, *IEEE Trans. Electron Dev.*, **53**: 1979 – 1993 (2006).
- [30]. G. T. Wright, *Electron Lett.*, **21**, 221 – 222 (1985).
- [31]. A. L. Steegen, R. Mo, R. Mann *et al*, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 64 – 67 (2005).

Стаття надійшла до редакції 14.06.2019 р.

PACS numbers: 72.80.Ey, 85.30.-z, 85.30.De, 85.30.Tv, 85.40.-e
DOI <https://doi.org/10.18524/1815-7459.2019.3.179347>

PHYSICS OF NANOTRANSISTORS: 2D MOS ELECTROSTATICS AND VIRTUAL SOURCE MODEL

*Yu. A. Kruglyak, M. V. Strikha**

Odesa State Environmental University,
Faculty of Computer Sciences
15 Lvivska Str, Odesa, Ukraine

phone (067) 725 2209, *E-mail: kruglyak.yual@gmail.com*

* Taras Shevchenko Kyiv National University
Faculty of Radiophysics, Electronics and Computer Sciences,
4g Hlushkov Av, Kyiv, Ukraine, phone (044) 526 0532
V. E. Lashkaryov Institute of Semiconductor Physics, NAS of Ukraine,
41 Nauky Av, Kyiv, Ukraine, phone (044) 525 6033,
E-mail: maksym_strikha@hotmail.com

Summary

In the fourth one from the line our new tutorial reviews, directed to serve students, university teachers and researchers, the 2D electrostatics of MOS is considered in detail. As it was discussed in our previous articles 1D electrostatics gives good understanding of the bend of zones and of lowering of the potential barrier between source and drain, which allows the flow of electrons to move from source to drain. On the contrary, 2D electrostatics degrades electron transport in field effect transistors by increasing the subthreshold swing and causing the *DIBL* effect, which in its turn increases the output conductivity and reduces the threshold voltage in short-channel transistors. Quantitative consideration of 2D electrostatics requires a numerical approach, but at the same time all the significant effects are physically understandable on qualitative level. 2D electrostatics destroys the functioning of transistors and leads to: 1) a sub-threshold swing greater than the fundamental limit of 60 mV/decade , 2) the shift of the transfer characteristics to the left with increasing of drain voltage (*DIBL*), 3) the threshold depends on the gate parameters and voltage on the drain, 4) low output resistance. When 2D electrostatic effects are strong, the gate loses control over the current and the transistor undergoes punch-through. Since these effects are more pronounced in short-channel transistors, they are also called short channel effects. As transistors get smaller and smaller, the main challenge with circuitry is to control the short-channel effects. As a rule, numerical modeling is required.

Keywords: nanoelectronics, field effect transistor, MOSFET, 2D electrostatics, transistor metrics, transistor control, virtual source

PACS numbers: 72.80.Ey, 85.30.-z, 85.30.De, 85.30.Tv, 85.40.-e

DOI <https://doi.org/10.18524/1815-7459.2019.3.179347>

ФІЗИКА НАНОТРАНЗИСТОРІВ: 2D ЕЛЕКТРОСТАТИКА MOS І МОДЕЛЬ ВІРТУАЛЬНОГО ВИТОКУ

Ю. О. Кругляк, М. В. Стріха*

Одеський державний екологічний університет,
факультет комп'ютерних наук,
вул. Львівська, 15, Одеса, Україна

тел. (067) 725 2209, E-mail: kruglyak.yual@gmail.com

* Київський національний університет ім. Тараса Шевченка,
факультет радіофізики, електроніки і комп'ютерних систем,
пр. Глушкова, 4г, Київ, Україна, тел. (044) 526 0532;

Інститут фізики напівпровідників ім. В.Є.Лашкарьова НАН України,
пр. Науки, 41, Київ, Україна, тел. (044) 525 6033,

E-mail: maksym_strikha@hotmail.com

Реферат

У четвертій із серії методично-оглядових статей, орієнтованих на студентів, аспірантів, викладачів вищої школи та дослідників, докладно розглянута 2D електростатика MOS. Як було показано в перших статтях цієї серії, врахування 1D електростатики дозволяє зрозуміти вигини зон і зниження потенціального бар'єру між витоком і стоком, що дозволяє потоку електронів рухатися від витоку до стоку. Натомість 2D електростатика погіршує характеристики транспорту електронів у польових транзисторах, збільшуючи підпороговий розкид і викликаючи ефект *DIBL*, який у свою чергу збільшує вихідну провідність і зменшує граничну напругу в короткоканальних транзисторах. Кількісне врахування 2D електростатики потребує чисельного підходу, разом з тим всі суттєві ефекти фізично зрозумілі й на якісному рівні. Врахування 2D електростатики погіршує функціонування транзисторів і призводить до: 1) підпорогового розкиду, більшого, ніж фундаментальна межа в 60 мВ/декада, 2) зсуву прохідних характеристик $\log_{10} I_{DS} \propto V_{GS}$ ліворуч при збільшенні напруги на стоку (ефект *DIBL*), 3) виникнення залежності значення порогу від параметрів затвору і напруги на стоку, 4) низького вихідного опору. Коли ефекти 2D електростатики сильні, затвор уже не контролює струму в колі «витік – стік» і транзистор зазнає пробою. Оскільки ці ефекти виявляються дужче в короткоканальних транзисторах, їх ще називають ефектами короткого каналу. Мірою того, як транзистори робляться дедалі мініатюрнішими, основний виклик, яким постає перед схемотехніками, полягає в контролі над короткоканальними ефектами. Зазвичай для цього потрібне чисельне моделювання.

Ключові слова: наноелектроніка, польовий транзистор, MOSFET, 2D електростатика, метрика транзисторів, керування транзисторами, віртуальний витік