

ФІЗИЧНІ, ХІМІЧНІ ТА ІНШІ ЯВИЩА, НА ОСНОВІ ЯКИХ МОЖУТЬ БУТИ СТВОРЕНІ СЕНСОРИ

PHYSICAL, CHEMICAL AND OTHER PHENOMENA, AS THE BASES OF SENSORS

PACS numbers: 71.15.Mb, 71.20.-b, 73.22.Pr, 73.23.Ad, 84.32.Ff, 85.35.-p
DOI 10.18524/1815-7459.2021.3.241052

ФІЗИКА MOSFET НАНОТРАНЗИСТОРІВ: ФУНДАМЕНТАЛЬНІ ГРАНИЦІ ТА ОБМЕЖЕННЯ

Ю. О. Кругляк, *М. В. Стріха**

Одеський державний екологічний університет,
факультет комп'ютерних наук,
вул. Львівська, 15, Одеса, Україна

* Київський національний університет ім. Тараса Шевченка,
факультет радіофізики, електроніки і комп'ютерних систем,
пр. Глушкова, 4г, Київ, Україна, тел. (044) 526 0532;
Інститут фізики напівпровідників ім. В. Є. Лашкарьова НАН України,
пр. Науки, 41, Київ, Україна, тел. (044) 525 6033,
E-mail: maksym_strikha@hotmail.com

ФІЗИКА MOSFET НАНОТРАНЗИСТОРІВ: ФУНДАМЕНТАЛЬНІ ГРАНИЦІ ТА ОБМЕЖЕННЯ

Ю. О. Кругляк, *М. В. Стріха*

Анотація. В останній із серії методично-оглядових статей, присвячених фізиці сучасних нанотранзисторів і призначених для дослідників, інженерів, студентів і викладачів вищої школи, показано, що наявність мінімальної енергії запису одного біту інформації призводить до появи фундаментального обмеження на мінімальну довжину каналу MOSFET і на мінімальний час перемикання транзистора. Отримана проста оцінка $L_{min} = 1.2$ нм (для кімнатної температури) є, очевидно, дещо заниженою, і реально навряд чи вдасться створити кремнієвий транзистор з довжиною каналу, меншою від 2,5–3 нм. Це корелює з результатами чисельного моделювання електронного транспорту через канал, які показують, що для коротких каналів дедалі більша частина струму проходить уже тунельно під вершиною бар'єру, і відтак транзистор втрачає функціональність, оскільки струм у колі витік-стік уже не регулюється напругою на затворі.

Ключові слова: наноелектроніка, польовий транзистор, MOSFET, модель ЛДЛ, метрика транзисторів, фундаментальні межі

PHYSICS OF MOSFET NANOTRANSISTORS: FUNDAMENTAL LIMITS AND RESTRICTIONS

Yu. A. Kruglyak, M. V. Strikha

Abstract. In the last one from the series of the tutorial review articles, devoted to physics of modern nanotransistors and aimed to serve reseachers, ingeneers, students and teachers in the univer-sities, it is demonstrated that the existence of the minimal energy for recording of 1 bite of information leads to fundamental restriction on minimal MOSFET channel length and on minimal time of transistor swithching. The obtained simple estimation $L_{min} = 1.2$ nm (for room temperature) is somewhat lower, than in reality, and it looks like that Si FETs with a channel shorter than 2.5–3 nm would newer be fabricated. This correlates with the results of numerical modeling of electron transport through the channel, which demonstrate that for short channels the greater part of current passes by tunneling below the barrier top, and the transistor loses its functionality, because the current in source-drain circuit is no longer governed by gate voltage.

Keywords: nanoelectronics, field effect transistor, MOSFET, LDL model, transistor metrics, fundamental limits

ФИЗИКА MOSFET НАНОТРАНЗИСТОРОВ: ФУНДАМЕНТАЛЬНЫЕ ПРЕДЕЛЫ И ОГРАНИЧЕНИЯ

Ю. А. Кругляк, М. В. Стриха

Аннотация. В последней из серии методически-обзорных статей, посвященных физике современных нанотранзисторов и предназначенных для исследователей, инженеров, студентов и преподавателей высшей школы, показано, что наличие минимальной энергии записи одного бита информации приводит к появлению фундаментального ограничения на минимальную длину канала MOSFET и на минимальное время переключения транзистора. Полученная простая оценка $L_{min} = 1.2$ нм (при комнатной температуре) является, очевидно, несколько заниженной, и в действительности врядли удастся создать кремниевые транзисторы с каналом короче, чем 2,5–3 нм. Это коррелирует с результатами численного моделирования электронного транспорта через канал, которые показывают, что для коротких каналов все большая часть тока проходит уже туннельно под вершиной барьера, и как следствие транзистор теряет функциональность, поскольку ток в цепи исток-сток уже не регулируется напряжением на затворе.

Ключевые слова: нанoeлектроника, полевой транзистор, MOSFET, модель ЛДЛ, метрика транзисторов, фундаментальные пределы

1. Вступ

Основним пристроєм сучасної електроніки залишається польовий транзистор метал-діелектрик-напівпровідник з ізольованим затвором MOSFET, а тому розуміння базових принципів його роботи належить до обов'язкових компетенцій кожного сучасного науковця, викладача чи інженера, причетного до цієї сфери. Теорію роботи MOSFET було побудовано ще в 60-ті роки минулого століття. Відтоді вона

знала суттєвого розвитку; проте в основному підхід до моделювання транзисторів залишився той самий, що й 50 років тому.

У першій з нової серії наших методичних оглядових статей, що друкуються в журналі «Сенсорна електроніка і мікросистемні технології» починаючи з № 4, 2018, ми дали загальний опис транзистора MOSFET, що є базовим пристроєм сучасної електроніки. Нашу наступну статтю (№ 1, 2019) було присвячено викладові класичної теорії MOSFET. У подаль-

ших двох статтях (№ 2, № 3, 2019) розглянуто фізику процесів у напівпровідниковому каналі MOSFET та 2D електростатику MOS й зумовлені нею ефекти,

У подальшій у черзі статті (№ 4, 2019) ми розглянули узагальнену модель електронного транспорту Ландауера – Датта – Лундстрома (ЛДЛ) стосовно до 2D каналів провідності польових транзисторів MOSFET, а після того (№ 1, 2020), продовжуючи виклад фізичних принципів моделювання нанотранзисторів, ми запровадили поняття про балістичну швидкість впорскування і розглянули її особливості, що надалі дозволило об’єднати балістичну модель MOSFET з моделлю віртуального витоку.

Нарешті, далі ми (№ 2, 2020) спершу якісно розглянули розсіювання електронів і ввели поняття коефіцієнту проходження, а потім побудували модель проходження MOSFET на основі узагальненої моделі ЛДЛ з урахуванням розсіювання. На основі цього ми об’єднали побудовані раніше моделі проходження з урахуванням розсіювання, та віртуального витоку (№ 4, 2020).

Мірою того, як розміри нанотранзисторів робляться дедалі меншими, дедалі актуальнішим є питання: які фундаментальні фізичні обмеження для MOSFET? Чи можна використовувати класичний опис транспорту електронів поблизу фізичених границь? Навіть коли класичні моделі транспорту прийнятні, наскільки обґрунтовані припущення, прийняті в моделі віртуального витоку/проходження як найкращій з відомих нині моделей для аналізу нанотранзисторів?

Ці питання ми розглянемо в заключній статті нашої серії.

2. Фундаментальні границі

Вже найпростіша бар’ерна модель MOSFET (рис. 1) дає змогу зрозуміти певні фундаментальні обмеження для роботи нанотранзисторів як перемикачів струму. Аналогічна модель застосовна і до біполярного транзистора. Викладений далі евристичний підхід призводить до тих самих висновків, що й результати, одержані раніше в роботі [1].

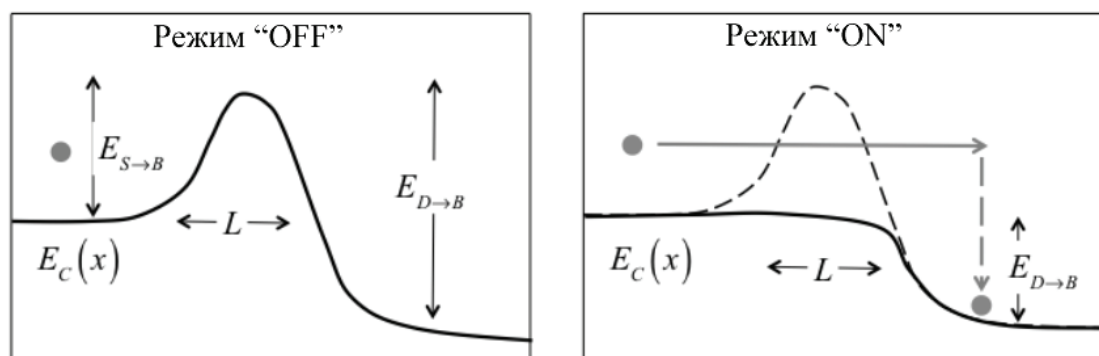


Рис. 1. Проста модель MOSFET як перемикача струму в режимах «OFF» та «ON».

Зображені енергетичні бар’єри для електронів, які рухаються від витоку до бар’єру $E_{S \rightarrow B}$ і від стоку до бар’єру $E_{D \rightarrow B}$

На рисунку ліворуч зображена ситуація в режимі «OFF». Високий енергетичний бар’єр не дозволяє електронам з витоку потрапити на стік (ми вважаємо, що на стік подано високу додатну напругу). Праворуч

зображено ситуацію в режимі «ON». Велика напруга, прикладена до затвору, практично знуляє бар’єр і електрони з витоку через канал провідності проходять на стік. Вважаємо, що в каналі транспорт балістичний, тож електро-

ни віддають свою енергію стоку і релаксують унаслідок інтенсивних непружних взаємодій у терміналі стоку.

Як зображено на рис. 2, ця проста модель дозволяє оцінити мінімальну енергію, необхідну для перемикавання з одного режиму в другий. Велика напруга на затворі в режимі «ON» нівелює бар'єр між витокон і каналом, але бар'єр $E_{D \rightarrow B}$ між стоком та вершиною бар'єру залишається, бо на стік подано додатну напругу. Потому як електрони термічно релаксували в стоку й дисипували свою кінетичну енергію внаслідок розсіяння, залишається деяка ймовірність P того, що електрони все ж подолають бар'єр $E_{D \rightarrow B}$ і повернуться на витік: у цьому випадку перемикавання не відбудеться. Вимагаючи, щоб ця ймовірність була меншою від $1/2$, одержуємо

$$P = e^{-E_{D \rightarrow B}/kT} < \frac{1}{2}, \quad (1)$$

звідси оцінюємо мінімальну енергію перемикавання:

$$E_{min} \equiv E_S|_{min} = kT \ln 2, \quad (2)$$

що становить 0.017 eV при кімнатній температурі. Ці прості міркування мають евристичний характер. Фундаментальні міркування Ландауера [2–4] й подальший ретельний аналіз [5] призводять до таких самих результатів щодо величини мінімальної енергії перемикавання.

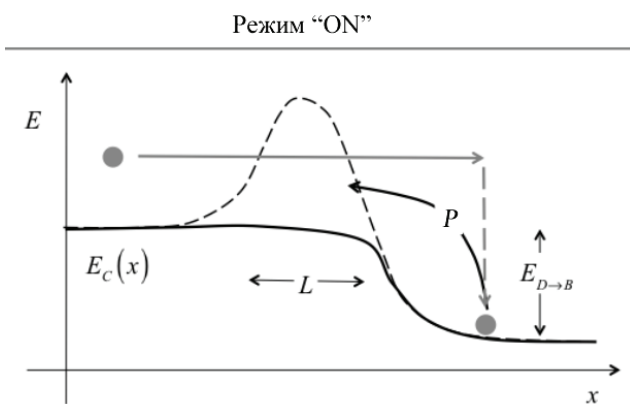


Рис. 2. Перемикавання з одного режиму в другий. Ймовірність перемикавання становить $1 - P$, де P – це ймовірність термоелектронної реемісії зі стоку на витік

Фундаментальний закон Ландауера про енергію, необхідну для стирання одного біту інформації $E_{bit} \geq kT \ln 2$ [2, 6], було відкрито в 1961 році, а його перше експериментальне підтвердження одержано в 2012 році [7, 8]. З огляду на наближення перспективи квантових обчислень та квантових комп'ютерів доречно поставити питання: чи не відрізняються фундаментально поміж собою класичні та квантові біти? Найновіші експерименти [9, 10] дали негативну відповідь на нього: експериментально підтверджено фундаментальність принципу Ландауера навіть в умовах цілковито квантованої системи, коли квантуються не тільки біти, але й тепловий резервуар, з яким біти обмінюються енергією.

Повернімося до нашої задачі й оцінимо можливу мінімальну довжину каналу провідності MOSFET. Як зображено на рис. 3, коли транзистор перебуває в режимі «OFF», бар'єр достатньо високий і достатньо широкий вздовж каналу, щоб не пропустити електронів від витокон до стоку. Для оцінювання потрібної висоти бар'єру звернімося до явища термоелектронної емісії. Висота бар'єру в режимі «OFF» повинна бути принаймні не меншою від E_{min} , що служить гарантією того, що електрони, коли й подолають бар'єр, то з ймовірністю, меншою від $1/2$. Мінімальна ширина бар'єру (довжина каналу) визначається квантовомеханічним тунелюванням через бар'єр. Ймовірність того, що електрон з витокон тунелює крізь бар'єр, можна оцінити в наближенні Вентцеля-Крамєрса-Бріллюєна (ВКБ), яке дає відому формулу для ймовірності тунелювання частинки з енергією E та масою m^* крізь бар'єр із потенціалом $V(x)$ між точками x_1 та x_2 :

$$P \approx \exp\left(-\frac{2}{\hbar} \int_{x_1}^{x_2} \sqrt{2m^*(V(x) - E)} dx\right). \quad (3)$$

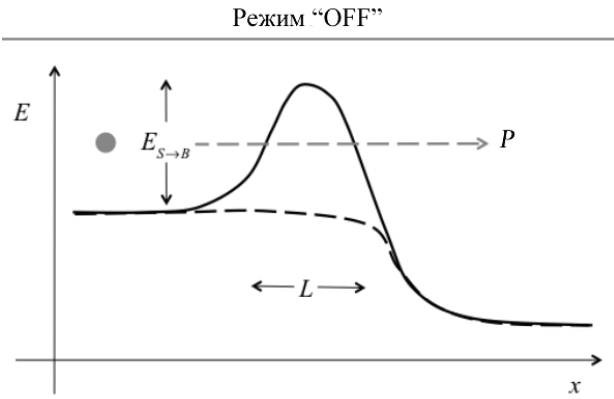


Рис. 3. У режимі «OFF» існує ймовірність P квантовомеханічного тунелювання електрона крізь бар'єр із шириною L

З вимоги, щоб у режимі «OFF» ймовірність тунелювання була меншою від $1/2$, випливає, що

$$P = e^{-2\sqrt{2m^*E_{S \rightarrow B}}L/\hbar} < \frac{1}{2}. \quad (4)$$

У виразі (3) ми вважали потенціал бар'єру прямокутним на всій довжині каналу L . Покладімо його рівним мінімальному значенню E_{min} , що описується (2). Звідси для мінімальної довжини каналу провідності одержуємо

$$L_{min} \approx \frac{|\ln(1/2)|}{2} \frac{\hbar}{\sqrt{2m^*E_{min}}}. \quad (5)$$

Насправді цю оцінку одержано в припущенні прямокутного вигляду потенціалу в каналі провідності (тобто, фактично, без врахування напруги на стоку), і через це, як ми покажемо наприкінці цієї статті, вона є в кілька разів заниженою.

Можемо так само оцінити час перемикавання транзистора з одного режиму в другий. В режимі «ON» електрони рухаються по каналу з балістичною швидкістю й не розсіюються. Мінімальний час прольоту крізь канал

$$\tau_{min} = \frac{L_{min}}{v_T}. \quad (6)$$

Підставляючи сюди L_{min} з (5) і теплову швидкість v_T за виразом (3) статті [11], а також нехтуючи множником порядку одиниці, знаходимо, що

$$\tau_{min} = \frac{\hbar}{E_S|_{min}}. \quad (7)$$

Оцінимо значення мінімальної довжини каналу для тонкого інверсного n -каналу в Si (100), де вже відбувається квантування в напрямку вглиб підкладки. Як відомо (див. напр. [11]), нижній заселений підзона з $n = 1$ при цьому відповідає ефективна маса в напрямку локалізації $m_l^* = 0.97m_0$ і долинне виродження 2. Але ефективною масою в напрямку x вільного руху вздовж площини каналу при цьому є $m_t^* = 0.19m_0$, і саме її потрібно враховувати в (4). Це призводить до значення $L_{min} \approx 1,2 \text{ нм}$. В кінцевому підсумку при кімнатній температурі $T = 300 \text{ K}$ одержимо:

$$\begin{aligned} E_{min} &= kT \ln 2 = 0.017eB, \\ L_{min} &\approx \frac{|\ln(1/2)|}{2} \frac{\hbar}{\sqrt{2m^*E_{min}}} = 1.2 \text{ нм}, \\ \tau_{min} &= \frac{\hbar}{E_{min}} = 40 \text{ фс}. \end{aligned} \quad (8)$$

Такі ж значення було одержано в [1] виходячи з принципу невизначеності Гейзенберга $\Delta x \Delta p_x \geq \hbar/2$, $\Delta E \Delta t \geq \hbar/2$. Доповнимо перелік фундаментальних обмежень (8) ще двома обмеженнями [1]: максимальною щільністю пакування транзисторів n_{max} та дисипацією потужності \wp на одиницю поверхні в цій граничній Si технології:

$$\begin{aligned} n_{max} &= \frac{1}{L_{min}^2} = 4.7 \times 10^{13} \text{ см}^{-2}, \\ \wp &= \frac{n_{max}}{\tau_{min}} E_S|_{min} = 3.7 \times 10 \text{ Вт} \cdot \text{см}. \end{aligned} \quad (9)$$

Мінімальна енергія перемикання одного транзистора за оцінкою (8) набагато нижча від енергії перемикання типової інтегральної схеми CMOS. Останню можна оцінити з $E_S = C_S V_{DD}$, де C_S – це середнє значення ємності, що перемикається. Для типової ситуації $C_S \approx 1\phi\Phi$ та $V_{DD} \approx 1V$, що приводить до оцінки на 4–5 порядків вищої від фундаментальної межі. Цю значну розбіжність пов'язано з тим, що типова ємність інтегральної схеми набагато вища від власної ємності затвору окремого транзистора. Збільшення ємності реальних схем пов'язане з різними паразитарними ефектами й зменшити цю ємність у теперішній технологічній генерації практично не видається можливим.

Граничні значення довжини каналу провідності й дисипації потужності було оцінено з припущення, що відношення «ON»/«OFF» дорівнює двом. У реальних інтегральних схемах це відношення досягає 10^4 (див. нижче рис. 5), а це значить, що довжина каналу й енергія перемикання завжди будуть значно більшими від фундаментальних граничних значень. І тим не менше, довжина каналу провідності на сьогодні

в транзисторах складає 10 нм і менше, тобто за порядком величини наближається до граничного значення в 1.2 нм. Реальний час перемикання транзистора сьогодні так само того ж порядку величини, що й граничне фундаментальне значення. Однак особливості сьогоденішніх інтегральних схем такі, що характерні для них часи перемикання завжди будуть на порядки вищими, ніж для окремого транзистора.

В зв'язку з цим виникає питання: чи немає іншого перемикача струму, фундаментально кращого від MOSFET? Однак те, що обмеження для $E_S|_{min}$ і τ_{min} випливають із фундаментального принципу невизначеності Гейзенберга, не дає підстав очікувати появи ефективнішого бінарного перемикача струму.

3. Квантовий транспорт у MOSFET з довжиною каналу меншою від 10 нм

Практичні границі зменшення довжини каналу провідності транзисторів можна визначити шляхом математичного моделювання. Результати моделювання квантового транспорту в Si NW MOSFET [12, 13] подано нижче. Електростатичний контроль у тако-

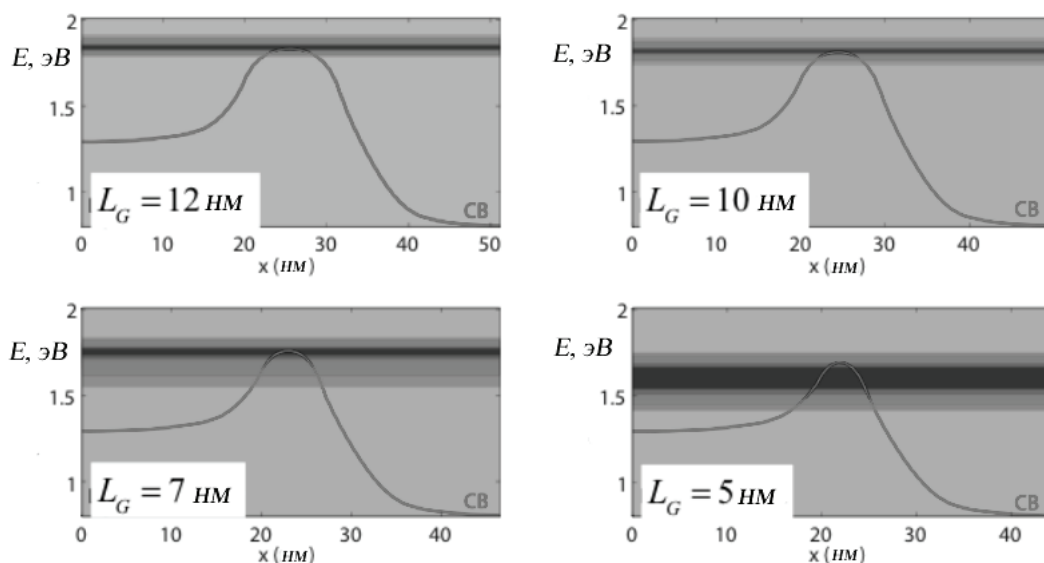


Рис. 4. Розподіл струму електронів за енергіями в каналах CNT різної довжини при великій напрузі на стоку в режимі OFF, одержаний квантовомеханічним моделюванням [12–14]

му транзисторі чудовий, оскільки йдеться про MOSFET [12], у якому роль 1D каналу провідності відіграє вуглецева нанотрубка (Carbon NanoTube/CNT), й тому межі масштабування визначає квантовомеханічне тунелювання електронів від витоку через бар'єр у режимі OFF. Рисунки 4 зображують струм у каналах CNT завдовжки від 12 до 5 нм при великій напрузі на стоку в режимі OFF.

При довжині каналу $L_G = 12$ нм струм протікання I_{OFF} іде майже цілком вище від бар'єру. Такий транзистор працює в звичайному класичному режимі, контрольованому бар'єром. Коли довжина каналу зменшується до 10 нм, невелика частина електронів уже тунелює крізь бар'єр: при $L_G = 10$ нм все ще переважно зберігається звичний режим, контрольований бар'єром. При $L_G = 7$ нм істотна частина електронів, які зумовлюють струм

I_{OFF} , уже тунелюють крізь бар'єр. Функціональність транзистора порушується: підпороговий розкид SS уже значно перевищує фундаментальну межу в 60 мВ/декада (рис. 5).

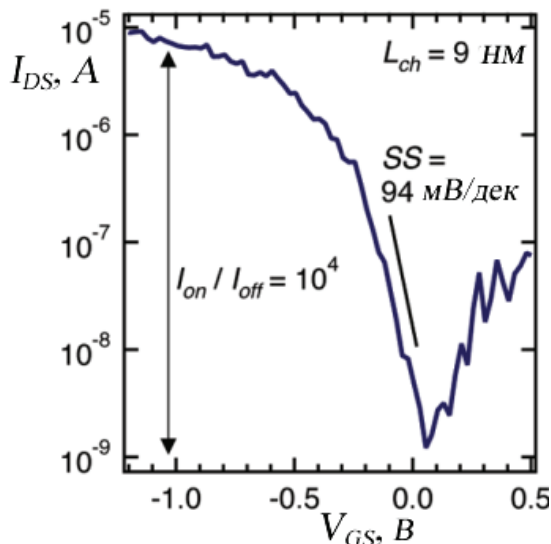


Рис. 5. Підпороговий розкид у Si NW MOSFET з $L_G = 9$ нм [12]

Нарешті, при $L_G = 5$ нм вже більша частина струму I_{OFF} зумовлена тунелюванням крізь бар'єр. За такої довжини каналу провідності неможливо керувати струмом,

контролюючи висоту бар'єру, оскільки бар'єр зробився проникним для електронів.

Наведені вище результати моделювання свідчать, що класична модель проходження MOSFET, докладно викладена раніше, цілком застосовна до Si транзисторів з довжиною каналу провідності до 10 нм і навіть дещо менше. Подальше скорочення каналу з одночасним пригніченням тунелювання вимагає більших значень ефективної маси електронів [15]. Масштабування до 5 нм вже ставить серйозні проблеми як прикладного характеру (збільшення ролі паразитарних опорів та ємностей за дуже коротких каналів провідності), так і фундаментального характеру – через тунелювання крізь бар'єр [16]. Чисельне моделювання транзисторів з напруженими підкладками й спеціальним вибором їхньої орієнтації щодо напрямку каналу провідності показує, що, скоріш за все, виявиться можливим реалізувати прийнятний режим функціонування MOSFET з довжиною каналу провідності, навіть меншою від 5 нм [16]. Однак слід визнати, що прикладних і фундаментальних меж масштабування (скейлінгу) MOSFET вже майже досягнуто.

4. Спрощення, використані в моделі проходження

Спираючись на узагальнену транспортну модель Ландауера – Датта – Лундстрорма (ЛДЛ), ми докладно виклали модель проходження для опису вольт-амперних характеристик нанорозмірних транзисторів. Початковий підхід Ландауера, який лежить в основі узагальненої транспортної моделі ЛДЛ, за деяких умов можна безпосередньо сформулювати, виходячи з квантовомеханічного розгляду дисипативного квантового транспорту [17]. Модель Ландауера так само безпосередньо впливає з транспортного (кінетичного) рівняння Больцмана за деяких спрощуючих припущень [18, 19]. Як ми показали в попередньому розділі, транзистори з довжиною каналу провідності, більшою від 10 нм, цілком можуть бути описані класично. Відповідно до цього, ми далі проаналізуємо

докладніше ті припущення, які лежать в основі напівкласичного підходу Ландауера, ґрунтовно викладеного в [20–23].

По-перше, звернімо увагу на те, що модель проходження відповідно до підходу Ландауера записує термінальний струм як лінійну комбінацію фермівських функцій контактів. Цей результат впливає з транспортного (або кінетичного) рівняння Больцмана (ТРБ), якщо в матриці густини відкинути нелінійні члени, зумовлені принципом заборони Паулі. Виправдати неврахування цих членів можна в двох випадках: 1) коли має місце пружне розсіяння і 2) в ситуації, коли для носіїв струму справедлива невироджена статистика. Ми зазвичай вважали, що реалізується саме така ситуація, однак, для опису струму в режимі «ON» може знадобитися статистика Фермі – Дірака. В цьому випадку виправдати підхід Ландауера за наявності тільки пружного розсіяння можна лише вельми наближено. Якщо жодна з цих двох умов не виконується, то формула Ландауера для струму не впливає з ТРБ: вона все ще може працювати, але кожний випадок її застосування вимагатиме ретельного аналізу конкретної ситуації.

По-друге, далі звернемо увагу на те, що модель Ландауера передбачає ідеальні контакти. Це означає, що електрони, які надходять з каналу провідності в контакти, цілком ними поглинаються: відбиття електронів назад у канал не відбувається. Щойно електрони потрапляють у контакт, як вони зазнають інтенсивного розсіяння і дуже швидко приходять у рівноважний стан. Більш того, ми вважаємо контакти нескінченно місткими джерелами електронів, маючи під цим на увазі те, що контакти можуть забезпечити будь-який струм, не зазнаючи при цьому виснаження. Реальні контакти далекі від такого ідеалу.

По-третє, слід врахувати обмеження, пов'язані з поняттям проходження: незалежність середньої довжини вільного пробігу від напруги, чи інакше її квазі-рівноважність, а також залежність критичної довжини каналу від напруги. Немає певності, що такі обмеження цілком прийнятні для нанотранзис-

торів, розсіяння в котрих може мати вельми складний характер.

По-четверте, слід прагнути до самоузгодженого врахування електростатики. Ми не розглядали просторового розподілу потенціалу по всьому каналу провідності, а обмежилися тільки вершиною бар'єру і запровадили параметр $DIBL$ для врахування ефектів $2D$ електростатики. Такий підхід потребує подальшого обґрунтування.

По-п'яте, ми використовували переважно невироджену статистику Максвелла – Больцмана. Статистика Фермі – Дірака ускладнює застосування моделі проходження, однак, вона може виявитися необхідною для таких нанотранзисторів, як III–V FET з високою рухливістю носіїв [24, 25].

Нарешті, ми вважали, що інверсний заряд контролюється тільки електростатикою і транспорт на нього не впливає. В загальному випадку це не так, і це може виявитися важливим для III–V FET [24, 25].

Можна звернути увагу ще на одне: ми завжди припускали просту ізотропну зонну структуру, однак, урахування непараболічності зони провідності може виявитися важливим так само, як і множинність долин зони провідності кремнію.

Далі ми докладніше розглянемо зроблені припущення й обмеження, і почнемо з виведення формули Ландауера для струму з транспортного рівняння Больцмана.

Виведення формули Ландауера для струму

Наша кінцева мета – не так одержати рівняння Ландауера для струму (формула (2) роботи [26]), як зрозуміти припущення, які лежать в основі виведення цієї найважливішої формули в теорії електронних явищ. Розглянемо напівпровідниковий канал (рис. 6) з двома масивними контактами 1 і 2 в рівноважному стані, через які інjektуються потоки електронів $F_1(E)$ та $F_2(E)$. Лівий контакт впорскує потік електронів $F_1(E)$, частина якого $T(E)F_1(E)$ переходить у правий кон-

такт, куди повертається так само частина $(1 - T(E))F_2(E)$ потоку електронів $F_2(E)$, впорснутих правим контактом і розсіяних назад. Ситуація з потоком $F_2(E)$ цілком симетрична. Розсіяння вважаємо пружним, тому коефіцієнти проходження зліва направо і справа наліво однакові.

Всередині каналу реалізуються додатно направлений потік $F^+(x)$ і від'ємно направлений потік $F^-(x)$. Додатно направлений потік виснажується внаслідок розсіяння назад у від'ємно направлений потік і збільшується за рахунок розсіяння назад від'ємно направленою потоку. Від'ємно направлений потік поводить себе аналогічним чином. Відповідно до цього можна записати, що

$$\begin{aligned} \frac{dF^+(x)}{dx} &= -\frac{F^+}{\lambda} + \frac{F^-}{\lambda}, \\ \frac{dF^-(x)}{dx} &= -\frac{F^-}{\lambda} + \frac{F^+}{\lambda}, \end{aligned} \quad (10)$$

де використано припущення, що обидва потоки проходять в каналі з однією і тією самою енергією (пружне розсіяння). Знаки в обох рівняннях однакові, бо потік F^- вважаємо додатним, якщо він спрямований у бік $-x$. Рівняння (10) – це прості транспортні рівняння Больцмана в стаціонарному стані динаміч-

ної рівноваги, в яких простір швидкостей включає тільки два протилежні один до одного напрями. Величина λ в (10) – це середня довжина вільного пробігу щодо розсіяння назад. Величина dx/λ – це ймовірність на одиницю довжини того, що додатний (від'ємний) потік при розсіянні назад перетвориться у від'ємний (додатний) потік. Як докладно показано в [6, 21], розв'язання системи рівнянь (10) за визначених крайових умов безпосередньо приводить до виразу для коефіцієнту проходження (21) зі статті [26], а саме:

$$T(E) = \frac{\lambda(E)}{\lambda(E) + L}. \quad (11)$$

Досі ми розглядали ситуацію, коли провідник не піддано дії зовнішнього електричного поля. Проходження так само ще можна обчислити, якщо до провідника прикладено невелику напругу [14], але якщо електричне поле велике, то розв'язання такої транспортної задачі дуже ускладнюється, бо вся система вийшла з рівноваги й припущення про незалежність одна від одної мод провідності порушилося: коефіцієнти проходження зліва направо і справа наліво тепер різні, проходження в одному напрямку тепер прямує до одиниці, а в протилежному – до нуля.

Повернімося до рис. 6. Сумарний потік на правому контакті при $x = L$ це

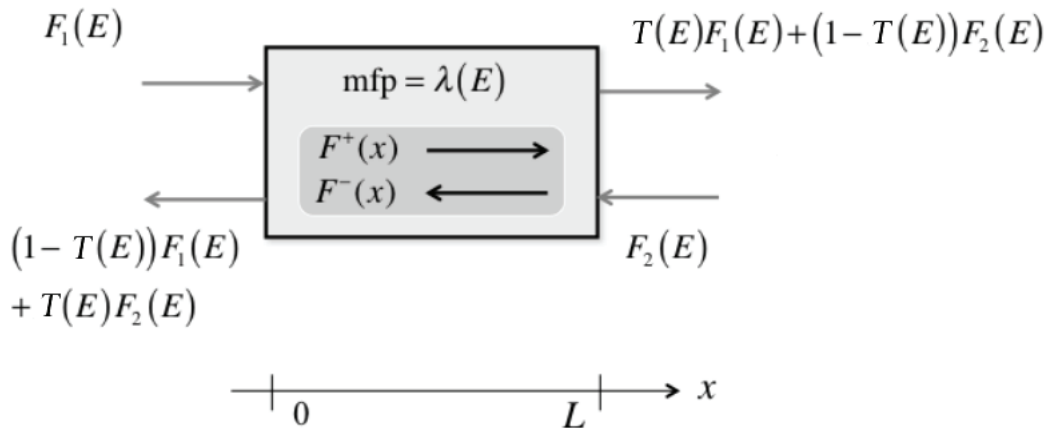


Рис. 6. Напівпровідниковий канал з ідеальними контактами, які перебувають у рівноважному стані. Вхідні потоки електронів $F^+(x)$ та $F^-(x)$ направлені вздовж $+x$ та $-x$ відповідно

$$F(E) = TF_1(E) + (1-T)F_2(E) - F_2(E) = T(F_1(E) - F_2(E)) \quad (12)$$

і такий самий потік має місце на лівому контакті при $x = 0$.

Струм на лівому контакті в інтервалі енергій від E до $E + dE$ дорівнює

$$I_1(E)dE = qF_1(E)dE = qv_x^+ \frac{D(E)}{2} f_1(E)dE, \quad (13)$$

де v_x^+ – швидкість електронів у напрямку $+x$, $D(E)$ – густина станів, а множник $1/2$ зумовлено тим, що швидкості електронів тільки в половини станів спрямовано в бік $+x$,

$f_1(E)$ – функція Фермі лівого контакту. Аналогічно запишемо струм, інжектований правим контактом в припущенні, що $|v_x^-(E)| = |v_x^+(E)|$, а саме:

$$I_2(E)dE = qv_x^+ \frac{D(E)}{2} f_2(E)dE. \quad (14)$$

Залишається ввести безвимірне число мод провідності при енергії E :

$$M(E) \equiv \frac{h}{4} v_x^+ D(E). \quad (15)$$

Тепер сумарний струм при енергії E

$$I(E) = I_1(E) - I_2(E) = \frac{2q}{h} T(E) M(E) (f_1(E) - f_2(E)). \quad (16)$$

Повний струм одержуємо інтегруванням по всьому спектру енергій:

$$I = \int I(E) dE. \quad (17)$$

Остаточно одержимо формулу Ландауера для струму (2) зі статті [26]:

$$I = \frac{2q}{h} \int_{-\infty}^{+\infty} T(E) M(E) (f_1(E) - f_2(E)) dE. \quad (18)$$

Наведені прості міркування достатні, щоб продемонструвати походження формули Ландауера для струму. Глибше обґрунтування цієї формули можна знайти в [23].

Неідеальні контакти

Контакти обмежують якість роботи та функціональні можливості транзисторів. Річ не лише в термінальних опорах, про які завжди потрібно пам'ятати; позначитися можуть так само інші ефекти. Ці ефекти характерні не тільки для Si MOSFET, вони так само можуть створити проблеми для III–V НЕМТ з високою рухливістю носіїв і для GaN FET [24, 25, 27].

Струм на вершині бар'єру можна записати як

$$I_D = qn_s(0) \langle v_x(0) \rangle.$$

Величина зарядової густини на вершині бар'єру контролюється електростатикою затвору, однак, якщо витік недостатньо легований, він може не забезпечити потрібного заряду на вершині бар'єру. Витік виснажується, виникає сильне електричне поле й функціонування транзистора порушується. Цей ефект назвали виснаженням витоку (source exhaustion) [28]. Може мати місце й інше явище. Канал провідності зазвичай вужчий від витоку, і електронам може виявитися складно потрапити з витоку в канал. Цей ефект назвали голодуванням витоку (source starvation), і він може бути важливим для III–V FET [29]. Парадоксально, але це той випадок, коли розсіяння може покращити функціонування транзистора. Квантовомеханічне моделювання MOSFET з термінальними контактами показало, що функціонування транзисторів за наявності розсіяння виявляється ефективнішим порівняно з балістичним режимом, оскільки розсіяння допомагає «злити» електрони в канал [30].

Ефекти неідеальності витоку моделювали з урахуванням залежності термінальних опорів від напруги на затворі. Таке моделювання можна провести емпірично [24], а можна – більш обґрунтовано фізично, вставивши беззатворний FET в області витоку та стоку, що межують з каналом провідності [27]. Ми

далі ще обговоримо ситуацію, коли електрони розсіюються назад безпосередньо від витоку та стоку.

Такий ефект, що спостерігався в деяких транзисторах, може так само бути віднесено до контактних ефектів [31].

Критична довжина розсіювання назад

Обчислення проходження в провіднику без електричного поля достатньо просте, і як видно з (11), результат очевидний. Однак, у каналі MOSFET може виникнути й сильне електричне поле, яке суттєво залежить від координати. В цьому випадку розрахунок проходження потребує ретельнішого аналізу так званих нелокальних транспортних ефектів, наприклад, таких як сплески швидкості (velocity overshoots) [32], й результат може бути записано в вигляді

$$T(E) = \frac{\lambda_0(E)}{\lambda_0(E) + L_C}, \quad (19)$$

де $\lambda_0(E)$ – це квазі-рівноважна середня довжина вільного пробігу, а $L_C < L$ – це критична довжина розсіювання назад.

Така формула фізично цілком прийнятна, бо коефіцієнти проходження, які знаходять з вписування експериментальних характеристик у модель MVS/проходження, поводять себе у відповідності до (19): $L_C \rightarrow L$ при низькій напрузі на стоку й $L_C \rightarrow \ell < L$ при високій напрузі. Формулу (19) можна вивести в припущенні квазі-рівноважного транспорту (низька напруга на стоку), однак, в режимі високої напруги на стоку транспорт у значній частині каналу провідності далекий від рівноважного, внаслідок чого використання в (19) квазі-рівноважної середньої довжини вільного пробігу, як видається, невиправдане, бо розсіювання назад, яке спричиняє повернення електронів у витік, відбувається дуже близько до вершини бар'єру ще до того, як ці електрони розігріває поле стоку. Однак, моделювання такої транспортної задачі за умов, далеких від рівноваги, методом Монте-Карло свідчить

про те, що формула (19) практично цілком придатна [33].

Струм I_{ON} в MOSFET пропорційний швидкості впорскування (24/[34]),

$$v_{inj} = \frac{T_{SAT}}{2 - T_{SAT}} v_T = \frac{\lambda_0 v_T}{\lambda_0 + 2\ell},$$

яку визначає коефіцієнт проходження в області насичення або, що еквівалентно, критична довжина ℓ при високій напрузі на стоку. Вписування експериментальних характеристик у модель MVS/проходження дозволяє обчислити швидкість впорскування й критичну довжину [35]. Для передбачення струму

I_{ON} потрібно мати значення критичної довжини ℓ .

Довжина ℓ – це приблизно та відстань, на якій потенціал збільшується на величину kT/q порівняно з його значенням на вершині бар'єру [33], але це лише груба оцінка. В припущенні невиродженої статистики й квазі-рівноважних умов можна одержати вираз для ℓ через потенціал у каналі $V(x)$ [36]. Можна вивести також аналітичний вираз, який не передбачає квазі-рівноважності [37].

Відомі результати моделювання розсіювання назад у нанорозмірних MOSFET методом Монте-Карло з урахуванням нелокальних транспортних ефектів та самоузгодження з рівнянням Пуассона [38–41]. Результати роботи [36] підтверджують, що саме розсіювання поблизу вершини бар'єру повертає електрони назад на витік, однак, критична довжина виявилася дещо більшою від відстані, на якій потенціал збільшується на kT/q . Критична довжина залежить також від профілю потенціалу, що в свою чергу залежить від самоузгодженої електростатики, тож, наприклад, балістичне моделювання профілю потенціалу не здатне передбачити критичну довжину. В роботі [38] прийшли до висновку, що при високій напрузі на стоку $\ell \ll L$, однак, точне обчислення величини ℓ потребує при моделюванні урахування самоузгодженості й розсіювання.

Залежність середньої довжини вільного пробігу й рухливості від довжини каналу провідності

Модель проходження MOSFET базується на понятті балістичної швидкості впорскування, яка залежить від зонної структури і від середньої довжини вільного пробігу щодо розсіювання назад λ , яка в свою чергу залежить від зонної структури і від фізики розсіювання, а також від розподілу електронів в імпульсному просторі. При великій напрузі на стоку швидкість розсіювання електронів і величина λ сильно змінюються вздовж каналу провідності мірою того, як електрони, наближуючись до стоку, набувають дедалі більшу енергію. Ключове припущення в цій моделі полягає в тому, що як середню довжину вільного пробігу при обчисленні проходження можна брати її квазірівноважне значення ($\lambda \approx \lambda_0$), бо розсіювання, що контролює проходження, відбувається дуже близько до витоку й раніше, ніж електрони одержать шанс набутти значну енергію.

Раніше, об'єднуючи модель проходження й модель віртуального витоку, ми визначили величину, описувану формулою (17) статті [34], яка мала вимірність рухливості,

$$\mu = \frac{v_T \lambda_0}{2kT/q}. \quad (20)$$

Строго кажучи, саме поняття рухливості визначене тільки поблизу рівноваги й для масивного провідника [32], і тим не менше модель проходження зручно формулювати в традиційній формі й виражати середню довжину вільного пробігу через рухливість. Якщо швидкість інжектіваних електронів це v_T і якщо квазірівноважна довжина вільного пробігу на вершині бар'єру λ_0 та ж сама, що й у довгоканальному транзисторі, тоді й рухливість згідно з (20) – це та ж сама рухливість, яку вимірюють у MOSFET з довгим каналом: ми часто використовували довгоканальну дифузійну рухливість для оцінки ква-

зірівноважної довжини вільного пробігу λ_0 в нанорозмірних FET.

Вибудовуючи модель VS/проходження, ми бачили, що струм стоку в лінійній області пропорційний формальній рухливості, яка визначається, згідно з формулою (20) статті [34], як

$$\frac{1}{\mu_{app}} = \frac{1}{\mu} + \frac{1}{\mu_B} \quad (21)$$

і яка залежить не тільки від дифузійної рухливості, але й від балістичної рухливості, описуваної виразом (18) статті [34]

$$\mu_B = \frac{v_T L}{2kT/q}. \quad (22)$$

Ми бачимо, що формальна рухливість, яку легко визначити з аналізу вихідних характеристик, зменшується для короткоканальних FET, оскільки балістична рухливість падає зі зменшенням довжини каналу.

Для деяких типів транзисторів залежність формальної рухливості від довжини визначається виключно балістичною рухливістю (див. рис. 7 статті [34]), а для інших типів виявляється, що λ_0 зменшується зі скороченням довжини каналу (див. рис. 8 статті [34]).

Причина зменшення λ_0 для короткоканальних FET ще до кінця не зрозуміла. Деякі спостереження вказують на те, що причиною можуть бути заряджені дефекти, ненавмисне введені під час технологічного процесу [42]. Можливою причиною вважають також далекодієне кулонівське розсіювання. В цьому разі електрони в каналі взаємодіють на відстані з власними електронами витоку й стоку і збуджують плазмові коливання [43]. Такий додатковий механізм розсіювання робиться більш ефективним зі зменшенням довжини каналу. Використання металічних затворів замість полікремнієвих (poly-Si) могло б екранувати далекодієну кулонівську взаємодію. Чітке розуміння причин зменшення λ_0 зі скороченням каналу (чи носять ці причини фундаментальний характер, чи вся річ у за-

стосованій технології і тоді ситуацію можна виправити) є особливо важливим, коли довжина каналу робиться меншою від 20 нм.

Важливо розуміти, що всі три типи рухливості в (21) в принципі залежать від довжини каналу:

$$\frac{1}{\mu_{app}(L)} = \frac{1}{\mu(L)} + \frac{1}{\mu_B(L)}.$$

Формули (21) та (22) можна скомбінувати й для залежності $\mu_{app}(L)$ одержати такий вираз:

$$\mu_{app}(L) = \frac{\mu}{1 + \alpha K_B \frac{\mu}{L}}, \quad K_B = \frac{2kT/q}{v_T},$$

де α – числовий коефіцієнт. Ми досі де-факто використовували тільки значення $\alpha = 1$. Однак, уже зрозуміло, що значення $\alpha = 1$ прийнятне не для всіх типів транзисторів [31].

Для деяких з них залежність $\mu_{app} \propto L$ вимагає $\alpha < 1$. Наприклад, при аналізі FinFET виявилось, що $\alpha \approx 0.4$ [31]. Таку поведінку пояснено тим, що електрони розсіюються назад не тільки в каналі провідності, але й на межі переходу від каналу до стоку [44]. В цій моделі

$$\alpha = 1 - R_D$$

де R_D - коефіцієнт розсіювання назад на стоку. Для FinFET, де виміряно значення $\alpha \approx 0.4$, теоретична оцінка дає більше значення цього коефіцієнту, приблизно 0.6. Можливо, мають значення деталі характеристик межі поділу канал/стік, через які в одних транзисторів $\alpha \approx 1$, а в інших $\alpha < 1$. Для відповіді на це запитання потрібні додаткові дослідження.

Роль розсіювання

Раніше ми ствержували, що розсіювання в глибині каналу, далеко від вершини бар'єру, не може відігравати суттєвої ролі, бо електрони не зможуть подолати бар'єр і знову повернутися на витік. Розсіювання, звісно,

сповільнює електрони, та оскільки є усталений потік електронів з витіку, то всередині каналу густина електронів зростає. Це змінює електростатичний потенціал скрізь, включаючи й область, яка охоплює вершину бар'єру.

Наведемо результати розрахунків методом Монте-Карло DG SOI MOSFET з довжиною каналу 25 нм [45]. Рис. 7 демонструє важливу роль розсіювання в нанорозмірному транзисторі, врахування якого зменшує струм удвічі.

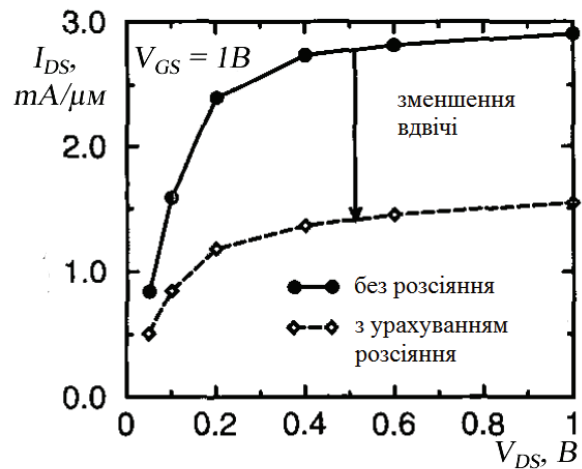


Рис. 7. Вихідні характеристики DG SOI MOSFET з довжиною каналу 25 нм [45]

Поведінку струму від витіку до стоку й зустрічного струму від стоку до витіку зображено на рис. 8 із зазначенням розташування вершини бар'єру в каналі. Струм стоку $I_{DS} = I^+ - I^-$, звичайно, не залежить від координати в каналі, його максимуми припадають, природно, на контакти витіку та стоку.

Вплив розсіювання на густину електронного заряду й на профіль потенціалу зображено на рис. 9. Як і слід було очікувати, розсіювання збільшує густину інверсного заряду в каналі, що в свою чергу призводить до підняття й «розширення» кривої дна зони провідності (рис. 9/праворуч). В результаті критична довжина розсіювання назад збільшується, проходження та струм зменшуються.

З наведеного чисельного моделювання випливає, що розсіювання в глибині каналу однозначно впливає на величину струму [33, 38].

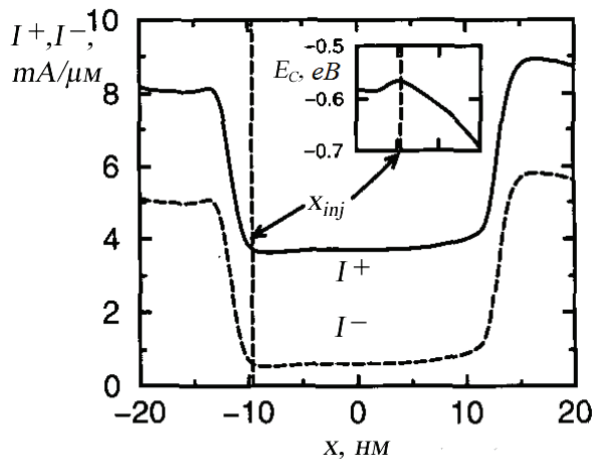


Рис. 8. Струми від виток до стоку I^+ та від стоку до виток I^- в DG SOI MOSFET з довжиною каналу 25 нм при $V_{GS} = V_{DS} = 1B$. У врізці зображено розташування вершини бар'єру [45]

Однак, для якісно сконструйованого транзистора вплив розсіювання незначний, бо в таких транзисторах потенціал на вершині бар'єру та поблизу неї контролюється переважно напругою на затворі, а не напругою на стоку чи потенціалом у глибині каналу провідності. Про це свідчить так само той факт, що в «якісних» транзисторах ефекти 2D електростатики (зсув підпорогової характеристики й вихідна провідність у режимі насичення) в підпорого-

вому режимі (інверсний заряд у каналі невеликий) і в надпороговому (великий заряд у каналі) можуть бути враховані одним і тим самим параметром $DIBL$.

Виродження носіїв струму

При побудові моделі проходження ми використовували максвелл-больцманівську статистику для електронів. Таке припущення начебто непогано працює для Si MOSFET [35] і більш-менш прийнятне для III–V FET. Однак, для напівпровідників з високою рухливістю електронів урахування їх виродження виявляється більш істотним [46] і перехід до статистики Фермі – Дірака дозволяє побудувати точніші моделі НЕМТ [24, 25]. Як впливає з формули (36) статті [47], якщо враховувати статистику Фермі – Дірака, швидкість балістичного впорскування збільшується зі зростанням заряду $|Q|$. Вираз для рухливості при переході до статистики Фермі – Дірака так само зміниться від формули (50) статті [26],

$$\mu = \frac{v_T \lambda_0}{2kT/q},$$

до [6, 21, 48]

$$\mu = \frac{v_T \langle \langle \lambda \rangle \rangle}{2kT/q} \times \frac{\mathfrak{F}_{-1/2}(\eta_F)}{\mathfrak{F}_0(\eta_F)}.$$

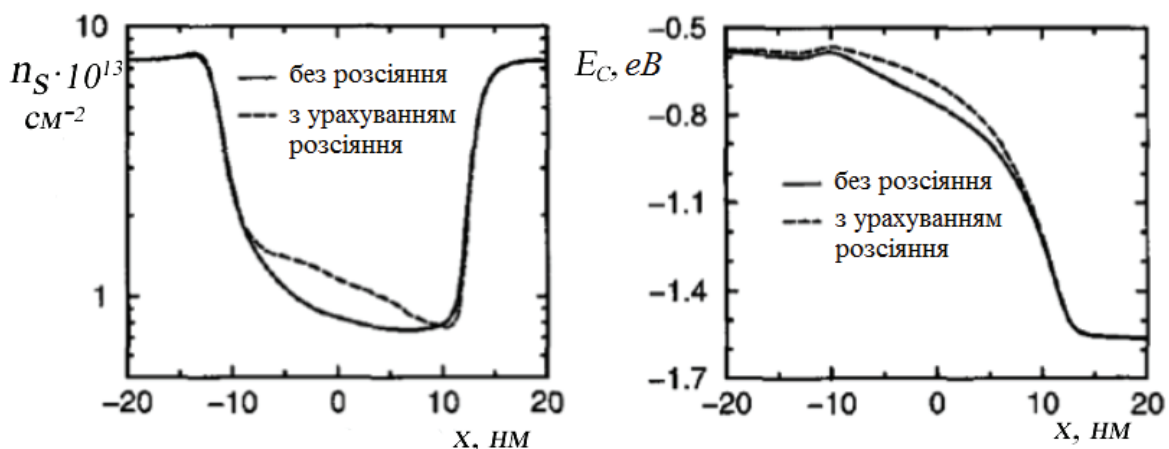


Рис. 9. Вплив урахування розсіювання в DG SOI MOSFET з довжиною каналу 25 нм при $V_{GS} = V_{DS} = 1B$ на густину інверсного заряду вздовж каналу провідності (ліворуч) та на профіль потенціальної енергії (праворуч) [45]

Нагадаємо, що v_T – це невироджена од-
нонаправлена теплова швидкість.

Ємність затвору в режимі сильної ін-
версії знижується при переході до статистики
Фермі – Дірака через зменшення квантової
ємності. Виродження акуратно враховано
в розширеній версії моделі віртуального вито-
ку [27]. Корисні вирази щодо переходу до ста-
тистики Фермі – Дірака можна знайти в [48].

Густина заряду й транспорт

Струм стоку пропорційний добутку
заряду на швидкість. У моделі MVS/прохо-
дження заряд на вершині бар'єру визнача-
ється електростатикою MOS через напівем-
піричний вираз (32) статті [34], який зале-
жить тільки від напруги на затворі й на стоку.
Швидкість впорскування, згідно з формулою
(50) статті [34], залежить від коефіцієнту
проходження. Однак, відокремлення заряду
від швидкості є лише припущенням, бо вони
пов'язані поміж собою.

Як продемонстровано на рис. 10 статті
[47], заряд на вершині бар'єру формується
додатно і від'ємно скерованими потоками
і, згідно з виразом (36) статті [47], залежить
від коефіцієнту проходження T як:

$$Q = -q \frac{N_{2D}}{2} [\mathfrak{F}_0(\eta_{FS}) + (1-T)\mathfrak{F}_0(\eta_{FS}) + T\mathfrak{F}_0(\eta_{FD})]. \quad (23)$$

В дифузійному випадку ($T \ll 1$) стани
з додатними та від'ємними швидкостями на
вершині бар'єру заселені за будь-якої напруги
на стоку, однак, у балістичному випадку
($T \rightarrow 1$) при високій напрузі на стоку заселе-
ні тільки стани з додатними швидкостями.
Значення коефіцієнту проходження визначає
розташування рівня Фермі (через η_{FS}), що
в свою чергу визначає швидкість балістично-
го впорскування v_{inj}^{ball} .

В моделі MVS/проходження ми вико-
ристовуємо вираз (32) статті [34] для знахо-
дження заряду Q за значеннями напруг на
затворі й на стоку, а потім використовуємо
формулу (23) для визначення η_{FS} , після чого

знаходимо v_{inj}^{ball} . Однак, взагалі кажучи, сама
величина заряду Q залежить від коефіцієнту
проходження T . Як ми зазначали раніше, єм-
ність затвору в режимі інверсії визначається
ємністю оксидного шару та ємністю напів-
провідникової підкладки, згідно з формулою
(99) роботи [49]. У випадку ETSOI ємність
підкладки – це просто квантова ємність C_Q
(103) роботи [49]. В дифузійному граничному
випадку ($T \ll 1$) стани з додатними та
від'ємними швидкостями на вершині бар'єру
заселені, а квантова ємність в виродженому
випадку пропорційна густині станів згідно
з формулою (103) статті [49]. В балістичному
випадку ($T \rightarrow 1$) заселені тільки стани з до-
датними швидкостями, тому квантова ємність
у виродженому випадку пропорційна полови-
ні густини станів. Ця відмінність може бути
важливою для III–V FET, оскільки викорис-
тання матеріалів з малими ефективними ма-
сами електронів приводить до малих значень

C_Q , що суттєво знижує ємність затвору.
Оскільки III–V FET працюють поблизу баліс-
тичної межі, малі значення C_Q , які зменшу-
ються ще вдвічі при великій напрузі на стоку,
можуть стати важливим фактором, який ви-
значає функціонування III–V FET і повинні
бути враховані [24, 25].

Своє основне завдання ми вбачали
в тому, щоб звернути увагу на істотні фізичні
аспекти функціонування польових нанотран-
зисторів, як це впливає з експериментів та
з чисельного моделювання. Саме ці фізичні
аспекти корисні й достатні для розуміння й
інтерпретації результатів моделювання й ек-
спериментальних даних при побудові напів-
емпіричних моделей польових транзисторів,
як-от моделі MVS/проходження. Це можливо
тільки тоді, якщо не пропущено що-небудь
фізично суттєве. Існують результати чисель-
ного моделювання, які підтверджують модель
проходження [38–41]. Зокрема, підтверджено
наші уявлення про те, що розсіяння, яке об-
межує струм I_{ON} , відбувається в невеликій
області поблизу віртуального витоку, а також

про те, що цілком досяжні струми, близькі за величиною до I_{ON}^{ball} , навіть за наявності вельми інтенсивного розсіювання, аби лиш воно не відбувалося у вузькій критичній області [38].

Продемонструємо окремі важливі результати моделювання [37, 39] на рис. 10 і 11. Відзначмо, що моделювання виконували самоузгоджено, враховуючи рівняння Пуассона та квантові обмеження, ретельно аналізуючи процеси розсіювання. Рис. 10 показує, як заселяються k -стани в $2D$ каналі MOSFET з $L = 25$ нм в режимі «ON» при високих значеннях напруги як на стоку, так і на затворі.

На витоку S має місце симетричний квазі-рівноважний розподіл заселених k -станів: витік є добрим ландауерівським контактом. На вершині бар'єру VS розподіл заселених станів істотно асиметричний: практично заселена половина станів з додатними швидкостями, а в результаті розсіювання назад заселені тільки деякі стани з від'ємними швидкостями. Мірою входження вглиб каналу протяжність заселених станів зростає зі збільшенням електричного поля, розподіл станів робиться дедалі більш асиметричним. Нарешті, на стоку ми знову спостерігаємо симетричний розподіл заселених станів.

На рис. 11 зображено заселеність k -станів у залежності від швидкості вздовж напрямку $2D$ каналу MOSFET з $L = 14$ нм в режимі «ON» при високих значеннях напруги як на стоку, так і на затворі [39]. Зображені дві ситуації – з урахуванням розсіювання (пунктир) та без розсіювання (суцільні лінії). Знов-таки, на витоку спостерігаємо рівноважний розподіл, а на вершині бар'єру реалізується високо асиметричний розподіл (приблизно половинний максвеллівський). У балістичному граничному випадку, як і раніше на рис. 3 статті [11], вже немає електронів з від'ємними швидкостями на вершині бар'єру, але як тільки «вмикається» розсіювання, з'являється невелика заселеність електронами з від'ємними швидкостями.

Мірою заглиблення в канал (рис. 11, 3) аж до стоку (рис. 11, 4) разом зі збільшенням електричного поля формується все більш симетричний балістичний пік. Аналогічна картина має місце при моделюванні нанотранзисторів у суто балістичному режимі [50]. Можна надійно стверджувати, що монте-карловське моделювання транзисторів [38–41, 50] підтверджує фізику процесів, покладених в основу моделі MVS/проходження.

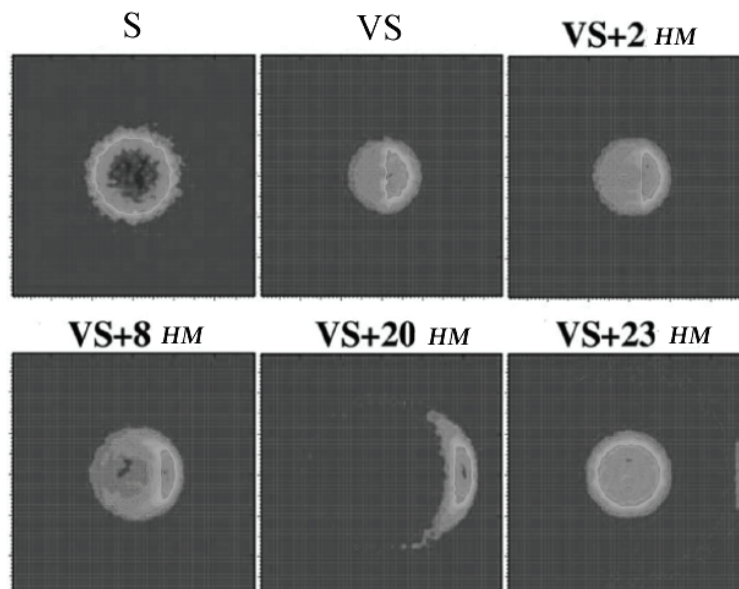


Рис. 10. Заселеність k -станів у $2D$ каналі MOSFET з $L = 25$ нм у стані «ON» зображена в шести точках каналу – на витоку, віртуальному витоку й далі аж до стоку [37]

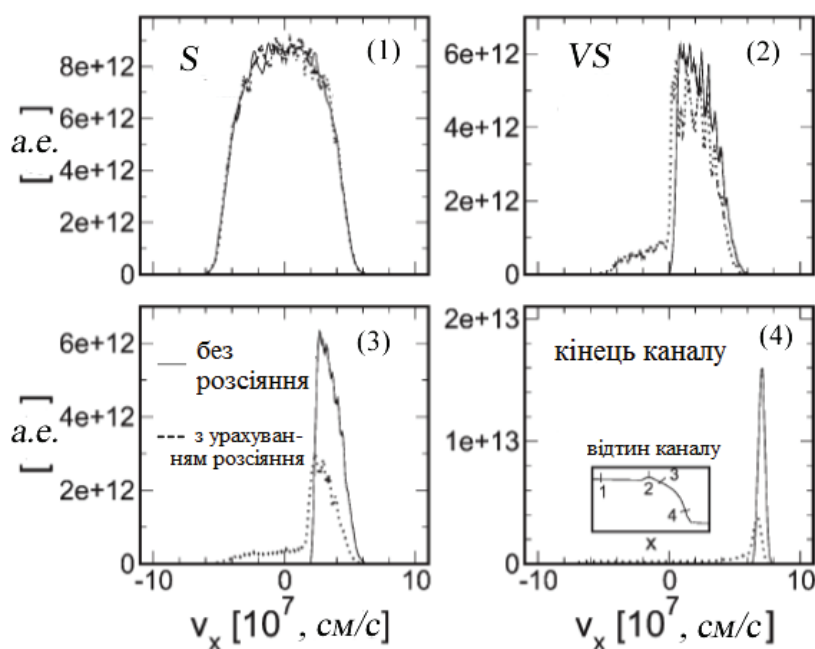


Рис. 11. Заселеність k -станів у 2D каналі MOSFET з $L = 14$ нм у стані «ON» зображена в чотирьох точках каналу – на витоці (1), віртуальному витоці (2), відразу після нього (3) і в кінці каналу (4), де зображені так само всі чотири відтини каналу. Заселеність зображена як функція швидкості вздовж напрямку каналу. Суцільні лінії відповідають відсутності розсіяння, а пунктирні – наявності розсіювання скрізь уздовж каналу. Помітні шуми, викликані стохастичними процесами в ході розв'язування транспортного рівняння Больцмана [39]

Разом із тим, інші, не менш ретельні роботи з чисельного моделювання процесів у нанотранзисторах ставлять нові проблеми [51, 52]. Вони пов'язані з тією роллю, яку можуть відігравати фундаментальні далекодійні кулонівські взаємодії, що не зануляються цілком, навіть коли використати металеві затвори. Обговорюють так само вже згадані нами раніше ефекти «голодування» витоку. Всі такі ефекти особливо важливо враховувати в III–V FET [24, 25, 27].

У цих роботах показано, що потенціальний бар'єр у районі віртуального витоку не фіксований, а рухливий. Він зазнає впливу транспорту, а рівноважний заряд навряд чи утримується на вершині бар'єру за наявності струму. Вплив транспортних ефектів на поведінку заряду обговорюється в [24, 25].

Докладніше обговорення питань, порушених у [51, 52] у зв'язку з моделлю MVS/проходження можна знайти в [14].

5. Врахування реального вигляду потенціалу в каналі

Ще на початку XXI століття було оголошено про створення експериментальних зразків MOSFET із суб-10-нм каналами – спершу порядку 6 нм [53], а далі й 3 нм [54]. Однак досягнення робочих значень довжин каналів у 5 нм виявилось тривалим процесом, а надійних функціональних транзисторів із 3 нм каналами досі не створено.

Однією з причин може бути те, що просту оцінку (5) зроблено без врахування реального вигляду потенціалу в каналі, фактично в припущенні того, що напруги на стоку немає. Проте цей потенціал за умови прикладеного до стоку прямого зміщення вже не прямокутний, а має вигляд, схожий на той, що зображено на рис. 1а. При цьому, як відомо з ретельно побудованої сьогодні теорії нанотранзисторів [14], критичною для класичного проходження бар'єру є порівняно вузька об-

ласть біля його вершини з довжиною $\ell \ll L$, де потенціал біля витоків змінюється мало й електричне поле майже відсутнє [26]. Електрон, що зумів пройти крізь цю вузьку область, виноситься сильним електричним полем на стік, навіть зазнаючи зіткнень.

Тому реальний потенціал, що відповідає ситуації прикладення напруги V на стік, у роботі [55] було апроксимовано виглядом, зображеним на рис. 12:

$$V(x) = \begin{cases} E_{\max}, & 0 < x \leq \ell \\ E_{\max} - \frac{E_{\max} + |eV|}{L - \ell}(x - \ell), & \ell < x \leq L \end{cases} \quad (23)$$

Аналогічну апроксимацію широко застосовують для розгляду задач проходження через MOSFET з урахуванням розсіяння [47]. Слід відзначити: довжина ℓ є функцією напруги на затворі V , і при $V \rightarrow 0$ має місце $\ell \rightarrow L$ (зрозуміло, що без напруги весь канал робиться областю зі сталим потенціалом і нульовим електричним полем). Однак, як по-

казало чисельне моделювання [35], збільшення V дуже швидко зменшує ℓ до певного сталого значення, і в цьому широкому діапазоні напруг на стоку можемо вважати, що $\ell = \xi L$, де параметр $\xi \approx 0,1$.

Надалі потрібно проінтегрувати (3) з урахуванням вигляду (23) від 0 й до x_0 , якому відповідає рівність нулеві нижнього з виразів (23), оскільки тунелювання через бар'єр, зображений на рис. 12, можливе лише для значень додатних енергій електрона. Такий інтеграл береться точно і призводить до модифікації результату (5):

$$L_{\min} \approx \frac{|\ln(1/2)|}{2} \frac{\hbar}{\sqrt{2m^* E_{\min}}} \frac{1}{\chi}, \quad (24)$$

де

$$\chi = \xi + \frac{2}{3} \frac{(1 - \xi)}{1 + eV/E_{\min}}. \quad (25)$$

На рис. 13 зображено залежність параметру (25) від eV/E_{\min} для кількох різних зна-

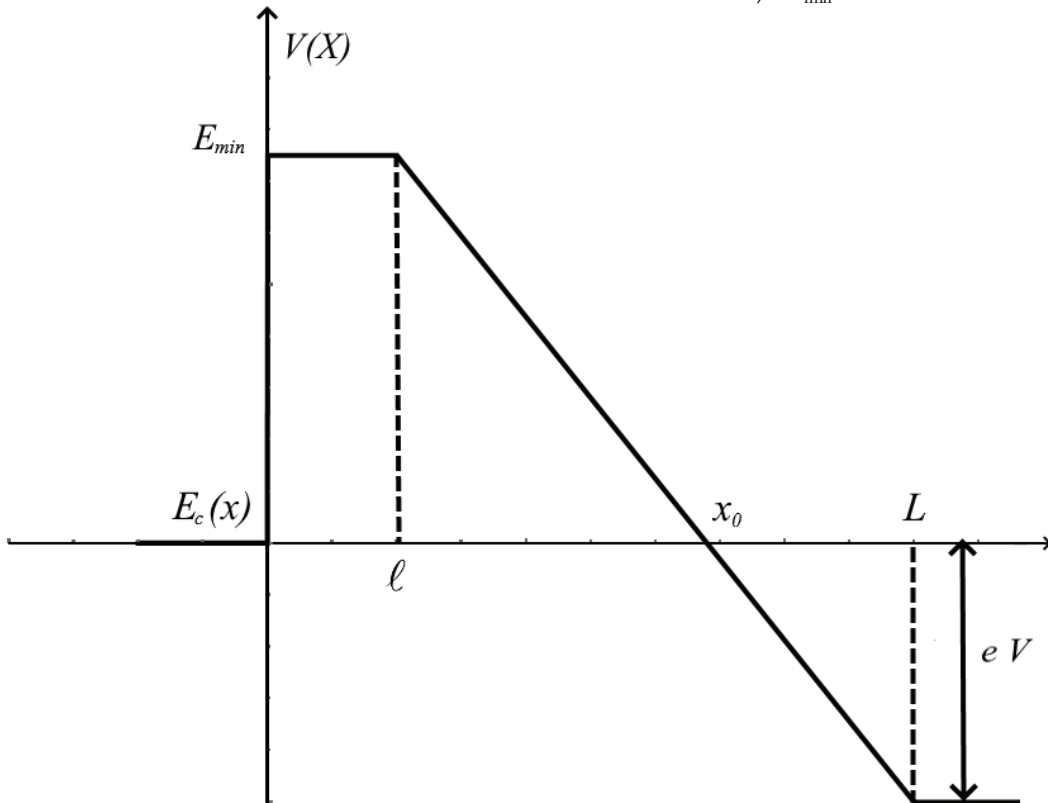


Рис. 12. Апроксимація ходу потенціалу в каналі MOSFET завдовжки L . Електрони тунелюють крізь бар'єр з витоків на стік зліва направо. На стік прикладено напругу V

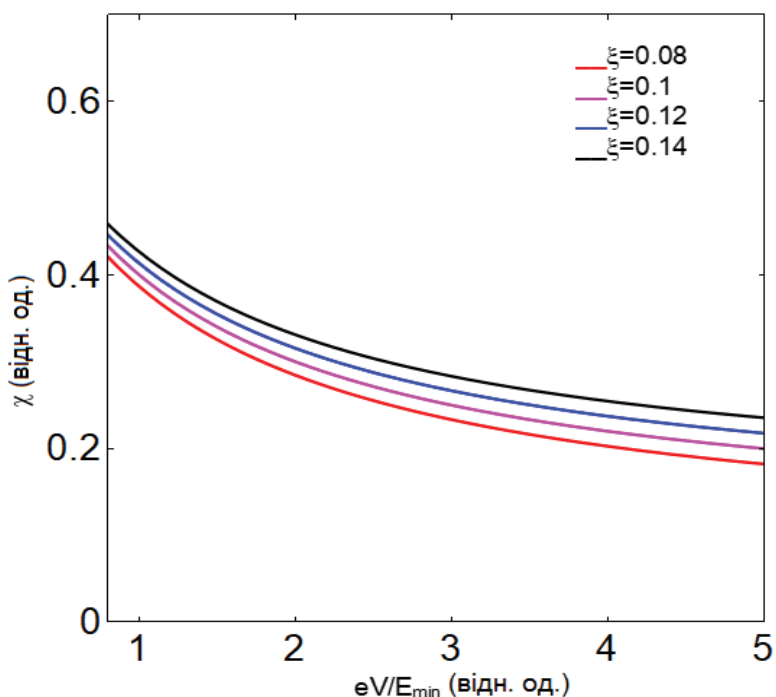


Рис. 13. Залежність параметру χ від eV/E_{min} для різних значень ξ

чень ξ , які за порядком величини відповідають значенню, одержаному в результаті чисельного моделювання [35]. Як видно, в діапазоні напруг, для яких вираз (25) справедливий (нагадаємо, що для дуже малих напруг параметр ξ також є функцією напруги) одержуємо значення $\chi \sim 0,3$, яке відносно слабо залежить від подальшого збільшення напруги. З урахуванням вигляду (24) це втричі збільшує наведене вище значення мінімальної довжини каналу $L_{min} \approx 1,2$ нм.

Ці результати корелюють із наслідками моделювання квантового транспорту в Si NW MOSFET [12–14], описаними вище. Там було показано, що при довжині підзатворної частини каналу $L_G = 12$ нм струм протікання I_{OFF} іде майже цілком вище від бар'єру. Такий транзистор працює в звичайному класичному режимі, контрольованому бар'єром. Але при вже перев $L_G = 5$ нм ажна частина струму I_{OFF} зумовлена тунелюванням крізь бар'єр. За такої довжини каналу провідності неможливо керувати струмом, контролюючи висоту бар'єру, оскільки бар'єр зробився проникним для електронів.

Виходячи з цього, природа труднощів, які упродовж майже двох десятиліть не дозволяють створити функціональні кремнійові транзистори з довжиною каналу, меншою від 5 нм, стає зрозумілою – це пов'язано з фундаментальними обмеженнями, зумовленими тунелюванням крізь бар'єр, і не може бути виправлене технологічними вирішеннями.

Одним з варіантів одержання надкоротких каналів провідності MOSFET є використання замість традиційних кремнійових технологій 2D плівок дихальогенідів перехідних металів, які є прямозонними напівпровідниками з достатньо широкою забороненою зоною (1,8 eV для моношарового MoS_2 [56]). У [57] повідомлено про створення транзистора на основі моношару MoS_2 на підкладці HfO_2 (її висока діелектрична проникність 25 пригнічує розсіювання електронів на іонізованих домішках підкладки і дозволяє досягнути в каналі високих значень рухливості ~ 200 $\text{cm}^2/\text{V}\cdot\text{s}$). У ролі контактів для такого каналу було використано металеву модифікацію того ж MoS_2 . Однак створений пристрій з каналом завдовжки 7,5 нм характеризувався

низьким значенням функціональності через великий ефект DIBL та значне тунелювання через бар'єр.

У роботі [58] з урахуванням реального вигляду бар'єрного потенціалу та виникнення бар'єру Шоттки на тісному контакті між металом витоку і стоку та напівпровідником каналу показано, що достатньо велика ефективна маса електронів у напівпровідниковому моношарі MoS_2 теоретично дозволяє створити на основі моношару такого матеріалу на підкладці HfO_2 функціональні транзистори з довжиною каналу 2,5–3 нм, які потенціально можуть використані для новітніх 5G пристроїв. Однак на шляху створення таких FET зараз стоїть фактична нерозробленість відповідних технологій (на той час, коли існує великий вибір досконало відпрацьованих кремнієвих технологій). Тому питання можливості заміни кремнію іншими матеріалами при створенні робочих FET з ультракороткими каналами досі залишається дискусійним.

6. Висновки

Підіб'ємо підсумки. Ми показали, що наявність мінімальної енергії запису одного біту інформації $E_{\min} = kT \ln 2 = 0.017 eV$ (для кімнатної температури) призводить до появи фундаментального обмеження на мінімальну довжину каналу MOSFET

$$L_{\min} \approx \frac{|\ln(1/2)|}{2} \frac{\hbar}{\sqrt{2m^* E_{\min}}} = 1.2 \text{ нм}$$

і на мінімальний час перемикавання транзистора $\tau_{\min} = \frac{\hbar}{E_{\min}} = 40 \text{ фс}$.

Отримана проста оцінка для L_{\min} є заниженою в силу неврахування реального вигляду потенціалу в каналі, й тому реальне мінімальне значення довжини є принаймні в 2,5 рази вищим. Це корелює з результатами чисельного моделювання електронного транспорту через канал, які показують, що для коротких каналів дедалі більша частина струму проходить уже тунельно під вершиною бар'єру, і транзистор втрачає функціональність, оскільки

струм у колі витік-стік уже не регулюється напругою на затворі.

Однак, якщо довжини каналів у сучасних транзисторах (порядку 5 нм) уже впритул наближаються до такої фундаментальної межі, то мінімальна енергія перемикавання одного транзистора виявляється набагато нижчою від енергії перемикавання типової інтегральної схеми CMOS. Останню можна оцінити з $E_S = C_S V_{DD}$, де C_S – це середнє значення ємності, що перемикається. Для типової ситуації ($C_S \approx 1,2 \text{ фФ}$ та $V_{DD} \approx 1 \text{ В}$) це приводить до значення, на 4–5 порядків вищого від фундаментальної межі.

Цю значну розбіжність пов'язано з тим, що типова ємність інтегральної схеми набагато вища від власної ємності затвору окремого транзистора. Збільшення ємності реальних схем пов'язане з різними паразитарними ефектами й зменшити цю ємність у теперішній технологічній генерації практично не видається можливим.

Реальний час перемикавання окремого транзистора сьогодні так само вже близький до граничного фундаментального значення. Однак, особливості сьогоденішніх інтегральних схем такі, що характерні для них часи перемикавання завжди будуть на порядки вищими, ніж для окремого транзистора.

Наведені вище результати моделювання свідчать, що класична модель проходження MOSFET, докладно викладена раніше, цілком застосовна до Si транзисторів з довжиною каналу провідності до 10 нм і навіть дещо менше. Подальше скорочення каналу з одночасним пригніченням тунелювання вимагає більших значень ефективної маси електронів. Масштабування до 5 нм вже ставить серйозні проблеми як прикладного характеру (збільшення ролі паразитарних опорів та ємностей за дуже коротких каналів провідності), так і фундаментального характеру – через тунелювання крізь бар'єр.

Чисельне моделювання транзисторів з напруженими підкладками й спеціальним вибором їхньої орієнтації щодо напрямку каналу провідності показує, що, скоріш за все,

виявиться можливим реалізувати прийнятний режим функціонування MOSFET з довжиною каналу провідності, навіть меншою від 5 нм. Однак слід визнати, що прикладних і фундаментальних меж масштабування (скейлінгу) кремнієвих MOSFET вже майже досягнуто. Можливість заміни кремнію для створення ультракороткоканалних польових транзисторів іншими матеріалами (зокрема, моношаром MoS₂ на підкладці HfO₂) залишається дискусійною.

На завершення наголосімо: ініціатором створення цієї серії статей був професор Ю. О. Кругляк, який захопився курсом лекцій «Fundamentals of Nanotransistors» [14], прочитаних он-лайн в 2016 році проф. Марком Лундстромом (Mark Lundstrom) у рамках ініціативи Purdue University / nanoHUB-U [www.nanohub.org/u]. Після смерті Юрія Олексійовича завершувати останні статті серії дозволялося вже другому співавторові (МВС) з використанням залишених колегою чорнеток та напрацювань власних авторських курсів, прочитаних упродовж останніх років для бакалаврів і магістрів факультету радіофізики, електроніки і комп'ютерних систем Київського національного університету імені Тараса Шевченка.

Список використаної літератури

- [1]. V. V. Zhirnov, R. K. Cavin III, J.A. Hutchby, G.I. Bourianoff, *Proc. IEEE*, **91**, 1934–1939 (2003).
- [2]. R. Landauer, *IBM J. Res. Dev.*, **5**, 183–191 (1961).
- [3]. C. Bennett, R. Landauer, *Scientific American*, **61**, 48–57 (1985).
- [4]. C. H. Bennett, *History Phil. Mod. Phys.*, **34**, 501–510 (2003).
- [5]. J.D. Meindl, J.A. Davis, *IEEE J. Solid State Circuits*, **35**, 1515–1516 (2000).
- [6]. Yu. A. Kruglyak, *Nanoehlektronika «snizu – vverh»* (Odessa: TES: 2015).
- [7]. A. Béruit, A. Arakelyan, A. Petrosyan, S. Ciliberto, R. Dillenschneider, E. Lutz, *Nature*, **483**, 187–189 (2012).
- [8]. Y. Jun, M. Gavrilov, J. Bechhoefer, *Phys. Rev. Lett.*, **113**, 190601 (2014).
- [9]. L. L. Yan, T. P. Xiong, K. Rehan, F. Zhou, D. F. Liang, L. Chen, J. Q. Zhang, W. L. Yang, Z. H. Ma, M. Feng, *Phys. Rev. Lett.*, **120**, 210601 (2018); www.arxiv.org/abs/1803.10424v1.
- [10]. M. Esposito, *Physics*, **11**, 49 (2018).
- [11]. Yu. A. Kruglyak, M. V. Strikha. *Sensorna elektronika i mikrosystemni tekhnolohii*. **17**, No 1, 4–20 (2020).
- [12]. A.D. Franklin, M. Luisier, Shu-Jen Han, G. Tulevski, C. M. Breslin, L. Gignac, M. S. Lundstrom, W. Haensch, *Nano Lett.*, **12**, 758–762 (2012).
- [13]. M. Luisier, M. S. Lundstrom, D.A. Antoniadis, J. Bokor, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 251 (2011); www.doi.org/10.1109/IEDM.2011.6131531.
- [14]. M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018); www.nanohub.org/courses/NT.
- [15]. J. Wang, M. Lundstrom, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 707–710 (2002).
- [16]. R. Mehrotra, Sung Geun Kim, T. Kubis, M. Povolotskyi, M. S. Lundstrom, G. Klimeck, *IEEE Trans. Electron Dev.*, **60**, 2171–2177 (2013).
- [17]. S. Datta, *Phys. Rev. B*, **40**, 5830–5833 (1989).
- [18]. M. A. Alam, M. A. Stettler, M. S. Lundstrom, *Solid-State Electron.*, **36**, 263–271 (1993).
- [19]. C. Jeong, R. Kim, M. Luisier, S. Datta, M. Lundstrom, *J. Appl. Phys.*, **197**, 023707 (2010).
- [20]. S. Datta, *Lessons from Nanoelectronics: A New Perspective on Transport* (Singapore: World Scientific: 2012).
- [21]. M. Lundstrom, C. Jeong, *Near-equilibrium transport. Fundamentals and Applications* (Singapore: World Scientific: 2013).
- [22]. Yu. O. Kruglyak, M. V. Strikha. *Ukr. Fiz. Zhurn. Ohliady*, **10**, 3–32 (2015).

- [23]. S. Datta, *Lessons from Nanoelectronics. Part A: Basic Concepts* (Singapore: World Scientific: 2017).
- [24]. S. Rakheja, M. Lundstrom, D. Antoniadis, *IEEE Trans. Electron Dev.*, **62**, 2786–2793 (2015).
- [25]. S. Rakheja, M. Lundstrom, D. Antoniadis, *IEEE Trans. Electron Dev.*, **62**, 2794–2801 (2015).
- [26]. Yu. A. Kruglyak, M. V. Strikha. *Sensorna elektronika i mikrosystemni tekhnolohii*. **16**, No 4, 5–26 (2019).
- [27]. U. Radhakrishna, T. Imada, T. Palacios, D. Antoniadis, *Phys. Status Solidi C*, **11**, 848–852 (2014).
- [28]. J. Guo, S. Datta, M. Lundstrom, M. Brink, P. McEuen, A. Javey, H. Dai, H. Kim, P. McIntyre, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 711–714 (2002).
- [29]. M. V. Fischetti, L. Wang, B. Yu, C. Sachs, P. M. Asbeck, Y. Taur, M. Rodwell, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 109–112 (2007).
- [30]. R. Venugopal, S. Goasguen, S. Datta, M. S. Lundstrom, *J. Appl. Phys.*, **95**, 292–305 (2004).
- [31]. D. A. Antoniadis, *IEEE Trans. Electron Dev.*, **63**, 2650–2656 (2016).
- [32]. M. Lundstrom, *Fundamentals of Carrier Transport* (Cambridge, U.K.: Cambridge Univ. Press: 2000).
- [33]. M. S. Lundstrom, *IEEE Electron Dev. Lett.*, **18**, 361–363 (1997).
- [34]. Yu. A. Kruglyak, M. V. Strikha. *Sensorna elektronika i mikrosystemni tekhnolohii*. **17**, No 4, 4–22 (2020).
- [35]. A. Majumdar, D.A. Antoniadis, *IEEE Trans. Electron Dev.*, **61**: 351–358 (2014).
- [36]. G. Gildenblat, *J. Appl. Phys.*, **91**, 9883–9886 (2002).
- [37]. R. Clerc, P. Palestri, L. Selmi, G. Ghibaudo, *J. Appl. Phys.*, **110**, 104502 (2011).
- [38]. P. Palestri, D. Esseni, S. Eminent, C. Fiegna, E. Sangiorgi, L. Selmi, *IEEE Trans. Electron Dev.*, **52**, 2727–2735 (2005).
- [39]. L. Lucci, P. Palestri, D. Esseni, L. Bergagnini, L. Selmi, *IEEE Trans. Electron Dev.*, **54**, 1156–1164 (2007).
- [40]. J. Lusakowski, M. J. Martin Martinez, R. Rendal, T. Gonzalez, R. Tauk, Y. M. Meziani, W. Knap, F. Boef, T. Skotnicki, *J. Appl. Phys.*, **101**, 114511 (2007).
- [41]. H. Tsuchiya, K. Fujii, T. Mori, T. Miyoshi, *IEEE Trans. Electron Dev.*, **53**, 2965–2971 (2006).
- [42]. V. Barrel, T. Poiroux, S. Barrund, F. Andrieu, O. Faynot, D. Munteanu, J.-L. Autran, S. Deleonibus, *IEEE Trans. Nanotech.*, **8**, 167–173 (2009).
- [43]. M. V. Fischetti, S. E. Laux, *J. Appl. Phys.*, **89**, 1205–1231 (2001).
- [44]. K. Natori, H. Iwai, K. Kakushima, *J. Appl. Phys.*, **118**, 234502 (2015).
- [45]. P. Palestri, D. Esseni, S. Eminent, C. Fiegna, E. Sangiorgi, L. Selmi, *Intern. Electron Dev. Mtg. (IEDM), Technical Digest*, 605–608 (2004).
- [46]. A. H. Samoilo v ych, L. L. Korenblyt, *Usp. fiz. nauk*, **LVII**, 577–630 (1955).
- [47]. Yu. A. Kruglyak, M. V. Strikha. *Sensorna elektronika i mikrosystemni tekhnolohii*. **17**, No 2, 16–34 (2020).
- [48]. M. Lundstrom, X. Sun, *Some Useful Relations for Analyzing Nanoscale MOSFETs Operating in the Linear Region* (West Lafayette, Indiana: Purdue University, USA, 2016); www.arxiv.org/abs/1603.03132.
- [49]. Yu. A. Kruglyak, M. V. Strikha. *Sensorna elektronika i mikrosystemni tekhnolohii*. **16**, No 2, 5–31 (2019).
- [50]. J.-H. Rhew, Zhibin Ren, M. Lundstrom, *Solid-State Electron.*, **46**, 1899–1906 (2002).
- [51]. M. V. Fischetti, S. Jin, T.-W. Tang, P. Asbeck, Y. Taur, S. E. Laux, M. Rodwell, N. Sano, *J. Comp. Electron.*, **8**, 60–77 (2009).
- [52]. M. V. Fischetti, S. T. P. O`Regan, S. Narayanan, C. Sachs, S. Jin, J. Kim, Y. Zhang, *IEEE Trans. Electron Dev.*, **54**, 2116–2136 (2007).
- [53]. Doris, Bruce B.; Dokumaci, Omer H.; Jeong, Meikei K.; Mocuta, Anda; Zhang, Ying; Kanarsky, Thomas S.; Roy, R. A. (December 2002). *Digest. International Electron Devices Meeting*: 267–270. doi:10.1109/IEDM.2002.1175829

[54]. Wakabayashi, Hitoshi; Yamagami, Shigeharu; Ikezawa, Nobuyuki; Ogura, Atsushi; Narihiro, Mitsuru; Arai, K.; Ochiai, Y.; Takeuchi, K.; Yamamoto, T.; Mogami, T. (December 2003). *IEEE International Electron Devices Meeting 2003: 20.7.1–20.7.3*. doi:10.1109/IEDM.2003.1269446

[55]. M. V. Strikha, A. I. Kurchak. *Ukr. J. Phys.*, **66**, 625–629 (2021).

[56]. F.A. Rasmussen and K. S. Thygesen. *J. Phys. Chem. C* **119**, 13169 (2015).

[57]. A. Nourbakhsh, A. Zubair, R. N. Sajjad, A. Tavakkoli K. G, W. Chen, S. Fang, Xi Ling, J. Kong, M. S. Dresselhaus, E. Kaxiras, K. K. Berggren, D. Antoniadis, and T. Palacios. *Nano Lett.* **16**, 7798 (2016).

[58]. Maksym V. Strikha, Mykola Yelisieiev, and Anna N. Morozovska. *Appl. Phys. Lett.* **119**, 042102 (2021), doi: 10.1063/5.0056720

Стаття надійшла до редакції 16.08.2021 р.

PACS numbers: 71.15.Mb, 71.20.-b, 73.22.Pr, 73.23.Ad, 84.32.Ff, 85.35.-p
DOI 10.18524/1815-7459.2021.3.241052

PHYSICS OF MOSFET NANOTRANSISTORS: FUNDAMENTAL LIMITS AND RESTRICTIONS

Yu. A. Kruglyak, M. V. Strikha

Odesa State Environmental University,
Faculty of Computer Sciences
15 Lvivska Str, Odesa, Ukraine

* Taras Shevchenko Kyiv National University
Faculty of Radiophysics, Electronics and Computer Sciences,
4g Hlushkov Av, Kyiv, Ukraine, phone (044) 526 0532
V.E. Lashkaryov Institute of Semiconductor Physics, NAS of Ukraine,
41 Nauky Av, Kyiv, Ukraine, phone (044) 525 6033
E-mail: maksym_strikha@hotmail.com

Summary

In the last one from the series of the tutorial review articles, devoted to physics of modern nanotransistors and aimed to serve reseachers, ingeneers, students and teachers at the universities, it is demonstrated that the existence of the minimal energy for recording of 1 bite of information

$E_{\min} = kT \ln 2 = 0.017 eV$ (for room temperature) leads to fundamental restriction on minimal MOSFET channel length $L_{\min} \approx \frac{|\ln(1/2)|}{2} \frac{\hbar}{\sqrt{2m^* E_{\min}}} = 1.2 \text{ nm}$ and on minimal time of transistor swithching

$\tau_{\min} = \frac{\hbar}{E_{\min}} = 40 \text{ fs}$. The obtained simple estimation for L_{\min} is lower than in reality, because the real form of the potential in the channel was not taken into consideration, and therefore the real value of the minimal channel length is at least 2.5 times higher. This correlates with the results of numerical modeling of electron transport through the channel, which demonstrate that for short channels the greater part of current passes by tunneling below the barrier top, and the transistor loses its functionality, because the current in source-drain circuit is no longer governed by gate voltage.

However, while the channel length in modern transistor (of 5 nm order) is close to this fundamental limit, the minimal energy of switching of one separate transistor is much lower than the energy of switching of typical CMOS scheme. The latter can be estimated through the expression $E_S = C_S V_{DD}$, where C_S is the average value of capacitance being switched. For the typical situation ($C_S = 1$ fF and $V_{DD} = V$) this leads to values 4–5 orders higher than the fundamental limit.

This essential difference is caused by the fact that the typical chip capacitance is much higher than the gate capacitance of separate transistor. This great capacitance of real chips is caused by different parasitic effects and it can't be diminished in present technological generation.

The real time of the separate transistor switching is now also close to its fundamental limit value. However, the peculiarities of modern chips are so that their switching times are essentially higher than that for one separate transistor.

The results of modeling, presented above, demonstrate that the classical model of current in MOSFET can be applied to Si transistors with the conduction channel of 10 nm order and even shorter. Further decrease of the channel length together with suppression of tunneling needs greater values of electron effective mass. Scaling to 5 nm length causes serious problems of both applied (increase of the role of parasitic resistances and capacitances at extremely short channels) and fundamental character – because of the tunneling through the barrier.

Numerical modeling of transistors with the strained substrates and with the special selection of their orientation in respect to the direction of the conducting channel demonstrates that it would be possible with a high level of probability to realize the acceptable regime of operation for MOSFET with the channel, even shorter than 5 nm. However, it should be recognized, that we had almost reached the applied and fundamental limits for Si MOSFET scaling. The possibility of the substitution of Si for the fabrication of ultra-short channel FETs by other materials (e.g. by MoS₂ monolayer on HfO₂ substrate) is still under discussion.

Keywords: nanoelectronics, field effect transistor, MOSFET, LDL model, transistor metrics, fundamental limits

PACS numbers: 71.15.Mb, 71.20.-b, 73.22.Pr, 73.23.Ad, 84.32.Ff, 85.35.-p

DOI: 10.18524/1815-7459.2021.3.241052

ФІЗИКА MOSFET НАНОТРАНЗИСТОРІВ: ФУНДАМЕНТАЛЬНІ ГРАНИЦІ ТА ОБМЕЖЕННЯ

Ю. О. Кругляк, М. В. Стріха

Одеський державний екологічний університет,
факультет комп'ютерних наук,
вул. Львівська, 15, Одеса, Україна

* Київський національний університет ім. Тараса Шевченка,
факультет радіофізики, електроніки і комп'ютерних систем,
пр. Глушкова, 4г, Київ, Україна, тел. (044) 526 0532;

Інститут фізики напівпровідників ім. В. Є. Лашкарьова НАН України,
пр. Науки, 41, Київ, Україна, тел. (044) 525 6033,
E-mail: maksym_strikha@hotmail.com

Реферат

В останній із серії методично-оглядових статей, присвячених фізиці сучасних нанотранзисторів і призначених для дослідників, інженерів, студентів і викладачів вищої школи, по-

казано, що наявність мінімальної енергії запису одного біту інформації $E_{\min} = kT \ln 2 = 0.017 eV$ (для кімнатної температури) призводить до появи фундаментального обмеження на мінімальну

довжину каналу MOSFET $L_{\min} \approx \frac{|\ln(1/2)|}{2} \frac{\hbar}{\sqrt{2m^* E_{\min}}} = 1.2 \text{ нм}$ і на мінімальний час перемикавання транзистора $\tau_{\min} = \frac{\hbar}{E_{\min}} = 40 \text{ фс}$. Отримана проста оцінка для L_{\min} є заниженою в силу

неврахування реального вигляду потенціалу в каналі, й тому реальне мінімальне значення довжини каналу є принаймні в 2,5 рази вищим. Це корелює з результатами чисельного моделювання електронного транспорту через канал, які показують, що для коротких каналів дедалі більша частина струму проходить уже тунельно під вершиною бар'єру, і транзистор втрачає функціональність, оскільки струм у колі витік-стік уже не регулюється напругою на затворі.

Однак, якщо довжини каналів у сучасних транзисторах (порядку 5 нм) уже впритул наближаються до такої фундаментальної межі, то мінімальна енергія перемикавання одиночного транзистора виявляється набагато нижчою від енергії перемикавання типової інтегральної схеми CMOS. Останню можна оцінити з виразу $E_S = C_S V_{DD}$, де C_S – це середнє значення ємності, що перемикається. Для типової ситуації ($C_S \approx 1,2 \text{ фФ}$ та $V_{DD} \approx 1 \text{ В}$) це приводить до значення, на 4–5 порядків вищого від фундаментальної межі.

Цю значну розбіжність пов'язано з тим, що типова ємність інтегральної схеми набагато вища від власної ємності затвору окремого транзистора. Збільшення ємності реальних схем пов'язане з різними паразитарними ефектами й зменшити цю ємність у теперішній технологічній генерації практично не видається можливим.

Реальний час перемикавання окремого транзистора сьогодні так само вже близький до граничного фундаментального значення. Однак, особливості сьогоденішніх інтегральних схем такі, що характерні для них часи перемикавання завжди будуть на порядки вищими, ніж для окремого транзистора.

Наведені вище результати моделювання свідчать, що класична модель проходження MOSFET цілком застосовна до Si транзисторів з довжиною каналу провідності до 10 нм і навіть дещо менше. Подальше скорочення каналу з одночасним пригніченням тунелювання вимагає більших значень ефективної маси електронів. Масштабування до 5 нм вже ставить серйозні проблеми як прикладного характеру (збільшення ролі паразитарних опорів та ємностей за дуже коротких каналів провідності), так і фундаментального характеру – через тунелювання крізь бар'єр.

Чисельне моделювання транзисторів з напруженими підкладками й спеціальним вибором їхньої орієнтації щодо напрямку каналу провідності показує, що, скоріш за все, виявиться можливим реалізувати прийнятний режим функціонування MOSFET з довжиною каналу провідності, навіть меншою від 5 нм. Однак слід визнати, що прикладних і фундаментальних меж скейлінгу кремнієвих MOSFET вже майже досягнуто. Можливість заміни кремнію для створення ультракороткоканалних польових транзисторів іншими матеріалами (зокрема, моношаром MoS_2 на підкладці HfO_2) залишається дискусійною.

Ключові слова: наноелектроніка, польовий транзистор, MOSFET, модель ЛДЛ, метрика транзисторів, фундаментальні межі