

ФІЗИЧНІ, ХІМІЧНІ ТА ІНШІ ЯВИЩА, НА ОСНОВІ ЯКИХ МОЖУТЬ БУТИ СТВОРЕНІ СЕНСОРИ

PHYSICAL, CHEMICAL AND OTHER PHENOMENA, AS THE BASES OF SENSORS

PACS numbers: 71.15.Mb, 71.20.-b, 73.22.Pr, 73.23.Ad, 84.32.Ff, 85.35.-p

DOI: <https://doi.org/10.18524/1815-7459.2024.4.318865>

АНАЛІТИЧНА МОДЕЛЬ ДЛЯ НАПРУГИ ПЕРЕМИКАННЯ І КОЕФІЦІЄНТА ПІДСИЛЕННЯ CMOS ІНВЕРТОРА З НАНОКАНАЛЬНИМИ 2D ТРАНЗИСТОРАМИ

М. В. Стріха^{1,2}, М. Д. Гурєєв¹

¹Київський національний університет ім. Тараса Шевченка,
факультет радіофізики, електроніки і комп'ютерних систем,
пр. Академіка Глушкова, 4г, Київ, Україна, тел. (044) 526 0532;

²Інститут фізики напівпровідників ім. В. Є. Лашкарьова НАН України,
пр. Науки, 41, Київ, Україна, тел. (044) 525 6033,
E-mail: maksym_strikha@hotmail.com

АНАЛІТИЧНА МОДЕЛЬ ДЛЯ НАПРУГИ ПЕРЕМИКАННЯ І КОЕФІЦІЄНТА ПІДСИЛЕННЯ CMOS ІНВЕРТОРА З НАНОКАНАЛЬНИМИ 2D ТРАНЗИСТОРАМИ

М. В. Стріха, М. Д. Гурєєв

Анотація. В роботі побудовано аналітичну модель для напруги перемикання і коефіцієнта підсилення CMOS інвертора з наноканальними 2D транзисторами. Одержані вирази дозволяють змодельовати значення цих двох основних параметрів пристрою, що є базою для логічних елементів сучасної нанонелектроніки. Підтверджено можливість створення ефективних інверторів з великим коефіцієнтом підсилення на основі транзисторів з каналами з 2D моношарів дихалькогенідів перехідних металів та з наборів вуглецевих нанотрубок. Показано, що фактором, який обмежує коефіцієнт підсилення, є небажаний у транзисторах ефект зниження канального бар'єру за рахунок стоку (за прямування цього ефекту до нуля коефіцієнт підсилення прямує до нескінченності).

Ключові слова: CMOS інвертор, 2D наноканальний транзистор, коефіцієнт підсилення, дихалькогеніди, вуглецеві нанотрубки

ANALYTICAL MODEL FOR THE SWITCHING VOLTAGE AND GAIN COEFFICIENT OF A CMOS INVERTER WITH NANOCANNEL 2D TRANSISTORS

M. V. Strikha, M. D. Hurieiev

Abstract. The study presents an analytical model for the switching voltage and gain factor of a CMOS inverter with 2D nanochannel transistors. The derived expressions enable the modeling of these two fundamental parameters of the device, which serves as the basement for logic elements in contemporary nanoelectronics. The feasibility of creating efficient inverters with a high gain factor based on transistors with channels made of 2D monolayers of transition metal dichalcogenides and arrays of carbon nanotubes has been confirmed. It was demonstrated that the gain factor is restricted by the drain induced barrier lowering (DIBL) effect, which is undesirable for FETs (when DIBL trends to zero the gain factor becomes infinitely large).

Keywords: CMOS inverter, 2D nanochannel transistor, gain factor, dichalcogenides, carbon nanotubes

CMOS (комплементарний, базований на поєднанні двох польових транзисторів метал-оксид-напівпровідник *p*- та *n*-типу) інвертор є основою для логічних елементів сучасної нанoeлектроніки завдяки надійності та низькому енергоспоживанню (див. напр. [1]). За цими показниками він суттєво переважає інші типи інверторів (напр. інвертори з опором). Проте виклики, пов'язані з переходом до ультракоротких каналів (10 нм і менше) у кремнії, змушують шукати нові 2D напівпровідникові матеріали [2–4]. Серед них сьогодні чільне місце за дослідницьким інтересом посідають дихалькогеніди перехідних металів (ДПМ, загальна формула MX_2 , де *M*-метал і *X*-халькоген) [4]. Ці структури поєднують граничну тонкість графену з властивостями напівпровідника (сам графен є напівметалом, або безщілинним напівпровідником, і через те на ньому так і не було створено робочого польового транзистора для логічних пристроїв, оскільки симетрична ВАХ графенового каналу ускладнює створення чітко розрізнених станів ON та OFF [5]).

Моношари ДПМ MoS_2 , WS_2 , $MoSe_2$, WSe_2 , $MoTe_2$ є напівпровідниками із прямою забороненою зоною, в яких перехід електрона із зони провідності до валентної зони не супроводжується зміною імпульсу. Тому ДПМ відмінно підходять для створення транзисторів в електроніці та випромінювачів і датчиків в оптиці. Перевагою ДПМ є те, що вони легко інтегруються з металевими нанострічками, вуг-

лецевими нанотрубками (ВНТ) та графеновими каналами [4]. Така інтеграція дозволяє подолати технологічні обмеження, що накладаються процесами літографії, й перейти в область ультракороткоканальних пристроїв.

Однак суттєвою проблемою для створення таких пристроїв є те, що більшість моношарів ДПМ і, насамперед, MoS_2 , реалізуються тільки як матеріали *n*-типу. Відсутність функціонального транзистора *p*-типу певний час обмежувала їх застосування в комплементарній металооксидній напівпровідниковій електроніці. Тому в [6] було створено інвертор з коефіцієнтом підсилення 1,3, в якому *n*-MOSFET було реалізовано з каналом MoS_2 , а *p*-MOSFET – з каналом на наборі ВНТ відповідної хіральності, що виявляють напівпровідникову діркову провідність.

Однак уже в [7] було повідомлено про створення комплементарного інвертора, який базується на MoS_2 транзисторі *n*-типу і WSe_2 транзисторі *p*-типу. Переваги, надані технологією CMOS і високопровідними каналами ДПМ (при розташуванні на підкладці з високою діелектричною проникністю, де розсіяння носіїв у каналі на іонізованих домішках у підкладці суттєво пригнічено, можна досягнути значень рухливості 200–250 cm^2/Vs), дозволили виготовити на одній підкладці комплементарний інвертор з високим коефіцієнтом підсилення 13,7. Чисельно характеристики такого транзистора було змодельовано в [8].

Проте універсальної моделі для інвертора, який інтегрує n -MOSFET з каналом MoS_2 , та p -MOSFET – з каналом на ВНТ чи на дірковому WSe_2 , досі запропоновано не було. У цій роботі ми пропонуємо просту універсальну модель для такого CMOS інвертора, базовану на новітній моделі транспорту в короткоканальних транзисторах [9], що працюють у квазібалістичному/балістичному режимі провідності, що дозволяє отримати залежності напруги перемикавання та коефіцієнти підсилення як функції параметрів системи.

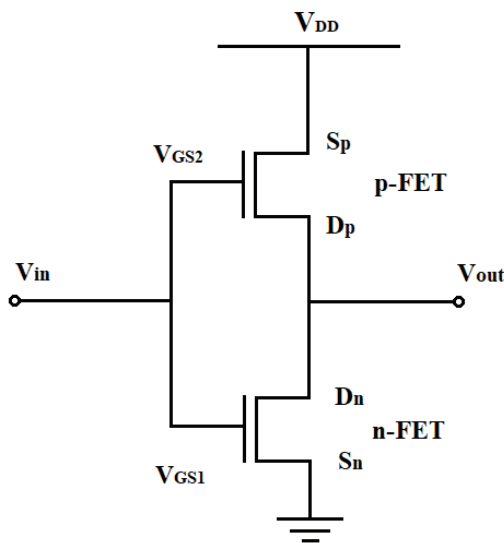


Рис. 1. Схема статичного CMOS інвертора.

На рис. 1 зображено стандартну схему статичного CMOS інвертора. Звернімо увагу, що витік n -FET приєднано до заземленого терміналу, а витік p -FET – до терміналу живлення. Опір кожного з транзисторів, зображених на цій схемі, в режимі OFF при напрузі на затворі, нижчій від порогової $|V_{GS}^{(n,p)}| < |V_T^{(n,p)}|$, нескінченно великий, а в режимі ON, при напрузі на затворі, вищій від порогової $|V_{GS}^{(n,p)}| > |V_T^{(n,p)}|$ – скінченний. Тому, коли вхідна напруга V_{in} висока, n -FET працює в режимі ON, а p -FET у режимі OFF. Це означає, що вихід електрично відімкнений від напруги живлення V_{DD} , і напруга на ньому $V_{out} = 0$. Навпаки, при низькій вхідній напрузі n -FET працює в режимі OFF, а p -FET у режимі

ON. Це означає, що на вихід подається напруга живлення, і для низького опору p -FET $V_{out} = V_{DD}$.

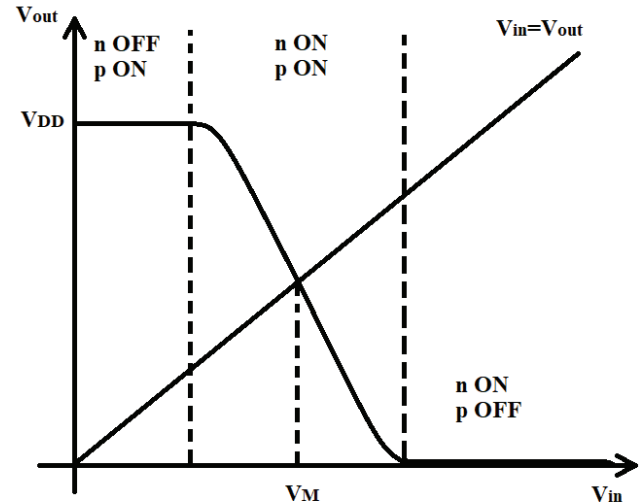


Рис. 2. Характеристика перетворення напруги CMOS інвертора.

Характеристику перетворення напруги CMOS інвертора зображено на рис. 2. Її може бути побудовано зі співвідношень для струмів та напруг на затворах і витках двох транзисторів:

$$I_{DS}^{(n)} = -I_{DS}^{(p)}, \quad (1)$$

$$V_{GS}^{(n)} = V_{in}, \quad V_{GS}^{(p)} = V_{in} - V_{DD}, \quad (2)$$

$$V_{DS}^{(n)} = V_{out}, \quad V_{DS}^{(p)} = V_{out} - V_{DD}. \quad (3)$$

Напруга перемикавання інвертора V_M визначається з умови

$$V_{in} = V_{out}, \quad (4)$$

а нахил характеристики в перехідній області визначається значенням коефіцієнта підсилення

$$g = \left. \frac{dV_{out}}{dV_{in}} \right|_{V_{in}=V_{out}=V_M}. \quad (5)$$

Чим більшим є значення g , тим швидше відбувається перемикавання інвертора з логічного стану 0 в 1 і навпаки. До того ж, вузька перехідна область забезпечує вищу стійкість інвертора до шумів.

Звернемо увагу, що в області малих входних напруг, де $V_{out} = V_{DD}$ і n -FET перебуває в режимі OFF, p -FET пропускає відносно невеликий струм і працює в лінійній області [9, 10]. В області напруги перемикавання V_M у перехідній області струми через обидва транзистори великі, й вони працюють у режимі насичення струму.

Нарешті, в області великих напруг, де $V_{out} = 0$ і вже p -FET перебуває в режимі OFF, n -FET пропускає відносно невеликий струм і працює в лінійній області (див. рис. 2).

Далі нашою метою є знайти аналітичні вирази для базових характеристик інвертора на нанотранзисторах – напруги перемикавання (4) і коефіцієнта підсилення (5).

Для цього запишемо вирази для струмів на стоках n -FET і p -FET, що входять до виразу (1), у режимі насичення [9, 11]:

$$I_{DS}^{(n)} = W^{(n)} C_{ox}^{(n)} (V_{GS}^{(n)} - V_T^{(n)} + \delta^{(n)} V_{DS}^{(n)}) v_T^{(n)} \left(\frac{T^{(n)}}{2 - T^{(n)}} \right). \quad (6)$$

Тут $W^{(n)}$ – ширина каналу провідності n -FET, $C_{ox}^{(n)}$ – віднесена до одиниці площі ємність підзатворного оксиду цього каналу, $V_T^{(n)}$ – порогова напруга n -FET, при якій він перемикається зі стану OFF у стан ON, $\delta^{(n)}$ – коефіцієнт ефекту DIBL (індукованого стоком зниження бар'єру), який призводить до того, що і в області насичення струм стоку не залишається цілком сталим, а повільно зростає зі збільшенням напруги на стоку;

$$v_T^{(n)} = \sqrt{\frac{2kT}{\pi m^{(n)}}} \quad (7)$$

усереднена за кутами теплова швидкість інжекції невідроджених електронів з ефективною масою $m^{(n)}$ у канал n -FET у точці віртуального витоку, яка виконує для транзисторів нанорозмірів (де розсіяння носіїв у наноканалі невелике, або й відсутнє) функцію швидкості насичення [9, 11]. Звернімо увагу на те, що вираз (6) записано для статистики Максвела-Больцмана невідроджених носіїв. Нарешті, в (6)

$$T^{(n)} = \frac{\lambda^{(n)}}{\lambda^{(n)} + L^{(n)}} \quad - \quad (8)$$

коефіцієнт проходження каналу, який описує ймовірність того, що інжектований у точці віртуального витоку в канал електрон дійде до стоку, а не повернеться внаслідок розсіювання назад на витік. У дифузійному режимі цей коефіцієнт малий, а в квазібалістичному – наближається до одиниці. У (8) $\lambda^{(n)}$ – довжина вільного пробігу електронів у каналі щодо розсіювання назад, $L^{(n)}$ – довжина каналу n -FET. Останній співмножник у круглих дужках у (6) є наслідком того, що заряд у точці віртуального витоку формується за рахунок трьох потоків електронів: з боку витоку, з боку стоку, і з боку витоку, але розсіяних під час проходження каналу назад у бік витоку (аналіз виведення цього множника див. у [9, 11]).

Вираз для струму на стоку p -FET можна записати аналогічно до (6), з урахуванням зміни полярності носіїв заряду:

$$I_{DS}^{(p)} = W^{(p)} C_{ox}^{(p)} (V_T^{(p)} - \delta^{(p)} V_{DS}^{(p)} - V_{GS}^{(p)}) v_T^{(p)} \left(\frac{T^{(p)}}{2 - T^{(p)}} \right). \quad (9)$$

Усі позначення в (9) аналогічні до наведених вище позначень у (6). Зазначимо, що вираз (9) застосовний як для p -FET з каналами на основі моношарів ДПМ, типу реалізованих у [7] з використанням моношару діркового WSe_2 , так і (з певними застереженнями) для щільного набору покладених паралельно ВТН з дірковою провідністю, які було використано для створення інвертора в [6].

Напругу перемикавання інвертора можна знайти, спершу підставивши до виразів (6), (9) вирази (2), (3), а потім підставивши результати до (1) і врахувавши (4). При цьому ми нехтуємо малими доданками з добутками $\delta^{(n)} V_{DS}^{(n)}$ та $\delta^{(p)} V_{DS}^{(p)}$, обумовленими ефектом DIBL.

Як наслідок отримуємо:

$$V_M = \frac{W^{(n)} C_{ox}^{(n)} V_T^{(n)} \left(\frac{T^{(n)}}{2 - T^{(n)}} \right) + W^{(p)} C_{ox}^{(p)} (V_T^{(p)} + V_{DD}) v_T^{(p)} \left(\frac{T^{(p)}}{2 - T^{(p)}} \right)}{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left(\frac{T^{(n)}}{2 - T^{(n)}} \right) + W^{(p)} C_{ox}^{(p)} v_T^{(p)} \left(\frac{T^{(p)}}{2 - T^{(p)}} \right)}. \quad (10)$$

Надалі зробимо мотивоване припущення, що $C_{ox}^{(n)} = C_{ox}^{(p)}$ (підкладка під обома транзисторами є спільною і однорідною) і вважатимемо,

що напруга живлення значно перевищує порогові напруги, $V_{DD} \gg V_T^{(n)}, V_T^{(p)}$. Це дозволяє суттєво спростити й унаочнити вираз (10):

$$V_M = \frac{V_{DD}}{1 + K}; \quad K = \frac{W^{(n)} v_T^{(n)} \left(\frac{T^{(n)}}{2 - T^{(n)}} \right)}{W^{(p)} v_T^{(p)} \left(\frac{T^{(p)}}{2 - T^{(p)}} \right)} = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(p)}}{m^{(n)}}} \frac{T^{(n)} (2 - T^{(p)})}{T^{(p)} (2 - T^{(n)})}. \quad (11)$$

Якщо провідність в обох транзисторах має квазібалістичний характер, і коефіцієнти проходження (8) близькі до одиниці, маємо

$$K = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(p)}}{m^{(n)}}}. \quad (12)$$

Натомість коли режим проходження суто дифузійний, і коефіцієнти (8) значно менші від одиниці, маємо:

$$K = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(p)}}{m^{(n)}}} \frac{T^{(n)}}{T^{(p)}} = \frac{W^{(n)} L^{(p)}}{W^{(p)} L^{(n)}} \sqrt{\frac{m^{(p)}}{m^{(n)}}} \frac{\lambda^{(n)}}{\lambda^{(p)}}. \quad (13)$$

Співвідношення (11–13) дозволяють, варіюючи параметри каналів обох транзисторів (насамперед – їх ширину і товщину) отримувати бажане співвідношення напруги перемикачання до напруги живлення інвертора. Оскільки

оптимальним є значення $V_M = V_{DD}/2$, у балістичному випадку зазвичай більшу ефективну масу носіїв у p -FET можна скомпенсувати більшою шириною каналу цього транзистора з метою одержання $K = 1$. У дифузійному випадку додаткову різницю довжин вільного пробігу можна скомпенсувати різними довжинами відповідних каналів.

Коефіцієнт підсилення знайдемо з виразу (5). Для цього продиференціюємо співвідношення (1), до якого підставлено (6), (9), з урахуванням (2), (3). При цьому ми вже не можемо знехтувати в (6), (9) малими доданками з добутками $\delta^{(n)} V_{DS}^{(n)}$ та $\delta^{(p)} V_{DS}^{(p)}$, обумовленими ефектом DIBL, оскільки інакше отримаємо нескінченно великий коефіцієнт підсилення (вертикальну сходинку в характеристиці перетворення напруги на рис. 2). Як наслідок одержуємо:

$$g = - \frac{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left(\frac{T^{(n)}}{2 - T^{(n)}} \right) + W^{(p)} C_{ox}^{(p)} v_T^{(p)} \left(\frac{T^{(p)}}{2 - T^{(p)}} \right)}{W^{(n)} C_{ox}^{(n)} v_T^{(n)} \left(\frac{T^{(n)}}{2 - T^{(n)}} \right) \delta^{(n)} + W^{(p)} C_{ox}^{(p)} v_T^{(p)} \left(\frac{T^{(p)}}{2 - T^{(p)}} \right) \delta^{(p)}}. \quad (14)$$

Знак «мінус» у (14) відповідає негативному нахилу кривої на рис. 2. За умови

$C_{ox}^{(n)} = C_{ox}^{(p)}$ вираз (14) спрощується:

$$g = - \frac{1 + K}{\delta^{(n)} K + \delta^{(p)}}. \quad (15)$$

Оскільки коефіцієнти ефекту DIBL у ефективно сконструйованих транзисторах є малими, порядку кількох одиниць на 10^{-2} [9, 10] (контроль за висотою бар'єру в каналі має здійснюватися напругою на затворі; вплив з боку напруги стоку є небажаним, бо призводить до

зростання підпорогового розкиду [12] і погіршує функціональність транзистора), то за значень K , що визначаються виразами (9) – (11), вираз (15) призводить до високих значень коефіцієнту підсилення.

Як видно з вигляду (15), за умови $\delta^{(n)} = \delta^{(p)}$ коефіцієнт підсилення g взагалі не залежить від параметру K (криві 1–3 рис. 3). За умови $\delta^{(n)} < \delta^{(p)}$ модуль коефіцієнта підсилення g при зростанні K збільшується (криві 4, 6 рис. 3), а за умови $\delta^{(n)} > \delta^{(p)}$ – зменшується (криві 5, 7 рис. 3). Як випливає з рис. 3, добір параметрів каналів дозволяє одержати коефіцієнти підсилення, в рази більші за значення, одержані в роботі [7], і вищі, ніж стандартні величини для кремнієвих інверторів (25–30).

В нашій роботі побудовано аналітичну модель, на основі якої одержано вирази для напруги перемикання і коефіцієнта підсилення CMOS інвертора з наноканальними 2D транзисторами. Одержані вирази дозволяють змоделювати значення цих двох основних параметрів пристрою, що є базою для логічних елементів сучасної нонелектроніки.

Підтверджено можливість створення ефективних інверторів з великим коефіцієнтом підсилення на основі транзисторів з каналами з 2D моношарів дихальогенідів перехідних металів та з наборів вуглецевих нанотрубок. Показано, що фактором, який обмежує коефіцієнт підсилення, є небажаний у транзисторах ефект DIBL (за прямування цього ефекту до нуля коефіцієнт підсилення прямує до нескінченності). Але слід пам'ятати, що в короткоканальних транзисторах, де досягнути цілкового геометричного електростатичного екранування складно, і вплив зміни потенціалу стоку досягає точки віртуального витоку, ефект DIBL обмежити теж не просто [9].

Звернімо увагу, що одержані нами вирази для напруги перемикання й коефіцієнта підсилення (10), (11) відрізняються за виглядом від тих, що наводяться в стандартних підручниках (див. напр. [13]). Це обумовлено тим, що замість виразів (6), (9) для струмів насичення в короткоканальних нанотранзисторах автори університетських курсів досі використовують вирази для струмів у довгоканальних транзисто-

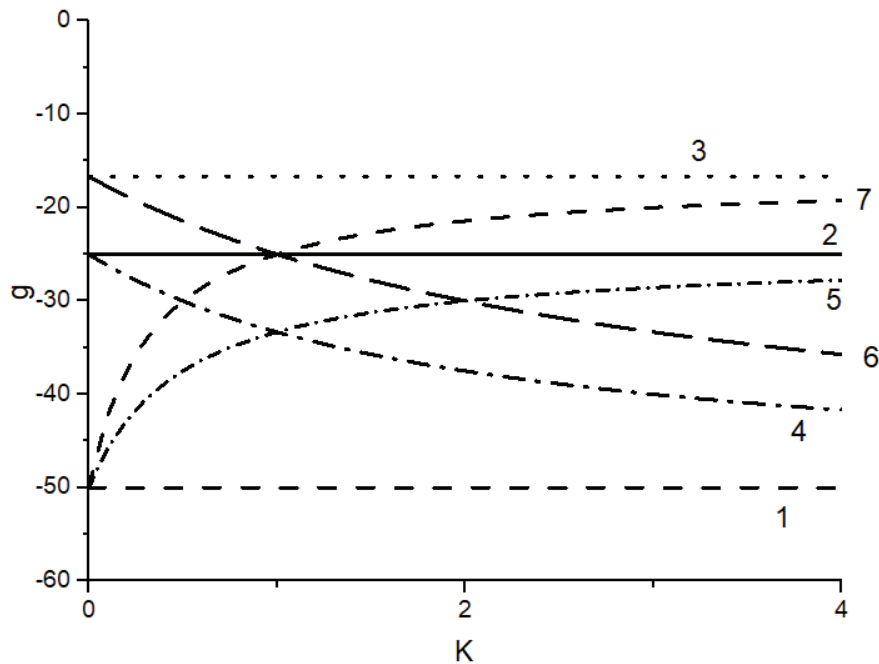


Рис. 3. Коефіцієнт підсилення (15) як функція K (крива 1 – $\delta^{(n)} = \delta^{(p)} = 0,02$; 2 – $\delta^{(n)} = \delta^{(p)} = 0,04$; 3 – $\delta^{(n)} = \delta^{(p)} = 0,06$; 4 – $\delta^{(n)} = 0,02$, $\delta^{(p)} = 0,04$; 5 – $\delta^{(n)} = 0,04$, $\delta^{(p)} = 0,02$; 6 – $\delta^{(n)} = 0,02$, $\delta^{(p)} = 0,06$; 7 – $\delta^{(n)} = 0,06$, $\delta^{(p)} = 0,02$).

рах, де насичення обумовлене «перетисканням» (pinch-off) каналу областями виснаження. Такі вирази передбачають квадратичну залежність струму насичення від напруги на затворі, на той час як реальні експериментальні залежності цих струмів від напруги на затворі – лінійні (див. [9, 14]), як це й передбачано виразами (6), (9).

Звернімо також увагу на те, що вирази (10), (11) одержано нами для статистики Максвелла-Больцмана для невідроджених носіїв, що слід вважати добрим наближенням для стандартних режимів роботи CMOS інверторів.

Список використаної літератури

- [1]. Woorham Bae. CMOS Inverter as Analog Circuit: An Overview. *J. Low Power Electron. Appl.* **9**, 26 (2019); doi:10.3390/jlpea9030026
- [2]. Filip A. Rasmussen and Kristian S. Thygesen. Computational 2D Materials Database: Electronic Structure of Transition-Metal Dichalcogenides and Oxides. *J. Phys. Chem. C* **119**, 13169–13183 (2015).
- [3]. Keshari Nandan, Amit Agarwal, Somnath Bhowmick and Yogesh S. Chauhan. Two-dimensional semiconductors based field-effect transistors: review of major milestones and challenges. *Frontiers in Electronics* (2023); doi: 10.3389/felec.2023.1277927
- [4]. M. V. Strikha, K. O. Korzh. Fundamentalni mezhi dovzhyn kanaliv providnosti polovykh tranzystoriv na monosharakh dykhalkohenidiv perekhidnykh metaliv. *Sens. elektron. mikrosist. tehnol.* **19**, No. 1/2, 4–18 (2022). (in Ukrainian).
- [5]. Yu. O. Kruglyak, M. V. Strikha. Uzahalnena model Landauera-Datta-Lundstroma v zastosuvanni do transportnykh yavyshch u hrafeni. *Ukrainskyi fizychnyi zhurnal. Ohliady.* **10**, 3–32 (2015) (in Ukrainian).
- [6]. Jun Huang, Sivasubramanian Somu and Ahmed Busnaina. A molybdenum disulfide/carbon nanotube heterogeneous complementary inverter. *Nanotechnology* **23**, 335203 (2012); doi:10.1088/0957-4484/23/33/335203
- [7]. Ah-Jin Cho, Kee Chan Park & Jang-Yeon Kwon. A high-performance complementary inverter based on transition metal dichalcogenide field-effect transistors. *Nanoscale Research Letters*, **10**, 115 (2015).
- [8]. F. F. Mao, Z. Jin, L. Y. Shang, Z. G. Hu, and J. H. Chu. Static characteristics of CMOS digital circuit based on transition metal dichalcogenide transistors. *AIP Advances* **9**, 085031 (2019); doi: 10.1063/1.5112078
- [9]. M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018); www.nanohub.org/courses/NT
- [10]. Yu. O. Kruglyak, M. V. Strikha. Fyzyka nanotranzystoriv: ustrii, metryka ta keruvannia. *Sens. elektron. mikrosist. tehnol.* **15**, No.4, 18–40 (2018) (in Ukrainian).
- [11]. Yu. O. Kruglyak, M. V. Strikha. Fyzyka nanotranzystoriv: rozsiannia elektroniv i model prokhodzhennia MOSFET. *Sens. elektron. mikrosist. tehnol.* **17**, No. 2, 16–34 (2020) (in Ukrainian).
- [12]. M. V. Strikha, K. O. Korzh. Analytical model for a subthreshold swing in a mosfet with a source based on cold metal. *Sens. elektron. mikrosist. tehnol.* **20**, No. 3, 30–37 (2023) (in Ukrainian).
- [13]. CMOS inverter: DC analysis: <https://www.egr.msu.edu/classes/ece410/mason/files/Ch7.pdf>; CMOS inverter: https://bjpcjp.github.io/pdfs/cmos_layout_sim/ch11-inverter.pdf etc.
- [14]. Yu. O. Kruglyak, M. V. Strikha. Physics of nanotransistors: mosfet theory in traditional approach, zero level virtual source model, and depletion approximation. *Sens. elektron. mikrosist. tehnol.* **16**, No.1, 24–49 (2019) (in Ukrainian).

Стаття надійшла до редакції 20.10.2024 р.

PACS numbers: 71.15.Mb, 71.20.-b, 73.22.Pr, 73.23.Ad, 84.32.Ff, 85.35.-p

DOI: <https://doi.org/10.18524/1815-7459.2024.4.318865>**ANALYTICAL MODEL FOR THE SWITCHING VOLTAGE AND GAIN COEFFICIENT OF A CMOS INVERTER WITH NANOCHANNEL 2D TRANSISTORS***M. V. Strikha^{1,2}, M. D. Hurieiev¹*¹ Taras Shevchenko National University of Kyiv, Faculty of Radiophysics,
Electronics and Computer Systems,

4g Akademika Hlushkova Av, Kyiv, Ukraine, Phone: (044) 526 0532

² V. E. Lashkaryov Institute of Semiconductor Physics, NAS of Ukraine,
41 Nauky Avenue, Kyiv, Ukraine, Phone: (044) 525 6033

E-mail: maksym_strikha@hotmail.com

Summary

The CMOS inverter is a basic building block for logic elements of modern nanotechnology due to its reliability and low power consumption. However, the challenges associated with the transition to ultrashort channels (10 nm or less) in silicon are forcing the search for new 2D semiconductor materials, among which transition metal dichalcogenides (TMDs) are currently of great research interest. These structures combine the extreme thinness of graphene with the properties of a semiconductor. The advantage of DPMs is that they can be easily integrated with metal nanoribbons, carbon nanotubes (CNTs), and graphene channels. This integration allows us to overcome the technological limitations imposed by lithography processes and move into the field of ultrashort-channel devices.

In this paper, we propose a simple universal model for a CMOS inverter based on the latest model of transport in short-channel transistors [M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018); www.nanohub.org/courses/NT], operating in the quasi-ballistic/ballistic conduction mode, which allows us to obtain switching voltage dependencies and gains as a function of system parameters.

In particular, the inverter switching voltage V_M for the quasi-ballistic mode of transistor operation is related to its supply voltage V_{DD} by a ratio:

$$V_M = \frac{V_{DD}}{1 + K}; \quad K = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(p)}}{m^{(n)}}},$$

where $W^{(n,p)}$ – are the channel widths of the n - and p -transistors, $m^{(n,p)}$ - are the effective masses of carriers in these channels. Since the optimum value is $V_M = V_{DD}/2$, in the ballistic case, usually the higher effective mass of carriers in the p -FET can be compensated by the larger channel width of this transistor to obtain $K = 1$.

The following expression is obtained for the gain

$$g = -\frac{1 + K}{\delta^{(n)}K + \delta^{(p)}}.$$

Since the coefficients $\delta^{(n,p)}$ of the DIBL effect (drain-induced barrier lowering) for efficiently designed transistors are small, on the order of a few units per 10^{-2} , so this expression leads to high values of the gain. Thus, the possibility of creating efficient inverters with a high gain based on transistors with channels made of 2D monolayers of transition metal dichalcogenides and carbon nanotube sets has been confirmed. It was demonstrated that the gain factor is restricted by the DIBL effect, which is undesirable for FETs (when DIBL trends to zero the gain factor becomes infinitely large).

Keywords: CMOS inverter, 2D nanochannel transistor, gain factor, dichalcogenides, carbon nanotubes

PACS numbers: 71.15.Mb, 71.20.-b, 73.22.Pr, 73.23.Ad, 84.32.Ff, 85.35.-p
DOI: <https://doi.org/10.18524/1815-7459.2024.4.318865>

АНАЛІТИЧНА МОДЕЛЬ ДЛЯ НАПРУГИ ПЕРЕМИКАННЯ І КОЕФІЦІЄНТА ПІДСИЛЕННЯ CMOS ІНВЕРТОРА З НАНОКАНАЛЬНИМИ 2D ТРАНЗИСТОРАМИ

М. В. Стріха^{1,2}, М. Д. Гурєєв¹

¹ Київський національний університет ім. Тараса Шевченка, факультет радіофізики, електроніки і комп'ютерних систем, пр. Академіка Глушкова, 4г, Київ, Україна, тел. (044) 526 0532;

² Інститут фізики напівпровідників ім. В. Є. Лашкарьова НАН України, пр. Науки, 41, Київ, Україна, тел. (044) 525 6033,
E-mail: maksym_strikha@hotmail.com

Реферат

CMOS інвертор є основою для логічних елементів сучасної нанонелектроніки завдяки надійності та низькому енергоспоживанню. Проте виклики, пов'язані з переходом до ультракоротких каналів (10 нм і менше) у кремнії, змушують шукати нові 2D напівпровідникові матеріали, серед яких сьогодні чільне місце за дослідницьким інтересом посідають дихалькогеніди перехідних металів (ДПМ). Ці структури поєднують граничну тонкість графену з властивостями напівпровідника. Перевагою ДПМ є те, що вони легко інтегруються з металевими нанострічками, вуглецевими нанотрубками (ВНТ) та графеновими каналами. Така інтеграція дозволяє подолати технологічні обмеження, що накладаються процесами літографії, й перейти в область ультракороткоканальних пристроїв.

У цій роботі ми пропонуємо просту універсальну модель для CMOS інвертора, базовану на новітній моделі транспорту в короткоканальних транзисторах [M. Lundstrom, *Fundamentals of Nanotransistors* (Singapore: World Scientific: 2018); www.nanohub.org/courses/NT], що працюють у квазібалістичному/балістичному режимі провідності, що дозволяє отримати залежності напруги перемикавання та коефіцієнти підсилення як функції параметрів системи.

Зокрема, напруга перемикавання інвертора V_M для квазібалістичного режиму роботи транзисторів пов'язана з його напругою живлення V_{DD} співвідношенням:

$$V_M = \frac{V_{DD}}{1 + K}; \quad K = \frac{W^{(n)}}{W^{(p)}} \sqrt{\frac{m^{(p)}}{m^{(n)}}}, \quad (1)$$

де $W^{(n,p)}$ - ширини каналів n - та p -транзисторів, $m^{(n,p)}$ - ефективні маси носіїв у цих каналах. Оскільки оптимальним є значення $V_M = V_{DD}/2$, у балістичному випадку зазвичай більшу ефективну масу носіїв у p -FET можна компенсувати більшою шириною каналу цього транзистора з метою одержання $K = 1$.

Для коефіцієнта підсилення одержано вираз

$$g = -\frac{1 + K}{\delta^{(n)}K + \delta^{(p)}}.$$

Оскільки коефіцієнти $\delta^{(n,p)}$ ефекту DIBL (індукованого стоком зниження каналного бар'єру) для ефективно сконструйованих транзисторів є малими, порядку кількох одиниць на 10^{-2} , то цей вираз призводить до високих значень коефіцієнту підсилення. Таким чином, під-

тверджено можливість створення ефективних інверторів з великим коефіцієнтом підсилення на основі транзисторів з каналами з 2D моношарів дихалькогенідів перехідних металів та з наборів вуглецевих нанотрубок. Показано, що фактором, який обмежує коефіцієнт підсилення, є небажаний у транзисторах ефект DIBL (за прямування цього ефекту до нуля коефіцієнт підсилення прямує до нескінченності).

Ключові слова: CMOS інвертор, 2D наноканальний транзистор, коефіцієнт підсилення, дихалькогеніди, вуглецеві нанотрубки